

Г. В. ЗИЗИН, Е. В. МАРЦИНКОВСКИЙ, В. Е. МЕЖОВ, В. И. ХАРИН  
(Воронеж)

### АЛГОРИТМ УСКОРЕННОГО МОДЕЛИРОВАНИЯ НЕИСПРАВНЫХ ЛОГИЧЕСКИХ СХЕМ

**Введение.** Моделирование неисправных логических схем широко используется при построении и анализе тестов. В настоящее время для цифровых схем известен ряд методов структурно-функционального логического моделирования константных неисправностей, использующих принцип событийной обработки интерпретативных моделей схем. Эффективность систем моделирования определяется такими факторами, как быстрдействие, обеспечиваемая адекватность моделирования, функциональные возможности.

Все известные способы адекватного интерпретативного моделирования неисправных схем (параллельный [1], дедуктивный [2] и конкурентный [3] алгоритмы моделирования) с развитыми функциональными возможностями оказываются крайне неэффективными при моделировании логических схем размерностью свыше 2000 вентилей. Время моделирования и требуемая память в этих алгоритмах, по меньшей мере, имеют квадратичную зависимость от размерности анализируемой схемы. Это серьезно ограничивает применимость перечисленных выше методов моделирования неисправностей для СБИС.

Ускорения моделирования схем с неисправностями добиваются применением статистических алгоритмов [4, 5] и метода критических путей [6], которые предполагают ограничение функциональных возможностей моделирования и снижение адекватности используемой модели.

Метод статистической оценки полноты теста основывается на использовании концепций вероятностных параметров управляемости и наблюдаемости линий схемы. При этом достигается линейная зависимость времени моделирования от размерности анализируемой схемы, время моделирования уменьшается на два порядка (в сравнении с конкурентным алгоритмом) и гарантируется точность оценки полноты теста — 5%. Существенный недостаток способа — отсутствие диагностической информации о выявляемых неисправностях. Поэтому использование данного метода не исключает необходимости дальнейшего адекватного моделирования неисправностей.

Метод критических путей [6] оценки полноты теста не только прогнозирует полноту теста, но и диагностирует выявленные неисправности. Однако он реализован только для комбинационных схем, что существенно ограничивает область его применения и даже для комбинационных схем не исключает неадекватности моделирования повторно сходящихся путей (ПСП) [9].

Описанный в статье алгоритм ускоренного моделирования неисправностей свободен от указанных недостатков. Основная идея алгоритма заключается в определении параметров наблюдаемости линий схемы по результатам исправного моделирования анализируемого тест-вектора и диагностировании выявленных неисправностей по рассчитанным параметрам.

При достаточной точности получаемых оценок полноты теста (7%) предлагаемый алгоритм обеспечивает более чем 10-кратное ускорение моделирования неисправностей (в сравнении с конкурентным алгоритмом) с диагностированием всех выявляемых неисправностей на каждом шаге подачи теста.

**Описание алгоритма ускоренного моделирования.** Моделирование неисправностей в предлагаемом алгоритме представляется в виде двух чередующихся процедур.

Первая процедура — моделирование исправной схемы.

Способ моделирования исправной схемы принципиального значения не имеет. В подсистеме УВЕРТ использовался событийный алгоритм моделирования в трехзначном алфавите (0, X, 1) с учетом задержек на элементах.

Вторая процедура — нахождение по данным моделирования исправной схемы тестируемых неисправностей.

Выделение тестируемых неисправностей требует предварительного просчета параметров наблюдаемости всех линий, получивших определенное логическое значение в рассматриваемый такт моделирования.

Для комбинационных схем, не содержащих ПСП, процедуры просчета параметров наблюдаемости и выделения тестируемых неисправностей будут выполняться по окончании исправного моделирования данного тест-вектора. В этом случае диагностирование неисправностей будет полным и корректным, совпадающим с оценками, даваемыми адекватными алгоритмами моделирования неисправностей (параллельный, дедуктивный, конкурентный).

Если комбинационное устройство содержит ПСП, то могут возникать многомерные пути активизации неисправного сигнала. Рассчитанные (по формулам [8]) параметры наблюдаемости в этом случае не всегда корректно отражают условия активизации неисправности. Часто в схемах единственной возможностью построения активизированного пути является активизация многомерного пути. Предлагаемые способы вычисления параметров наблюдаемости так же, как и критичности [6], не учитывают данной особенности, дают неадекватные оценки и поэтому непригодны. В предлагаемом алгоритме данная проблема решается специальной процедурой моделирования неисправностей на «элементах-стоках» ПСП [9].

Информация о ПСП готовится заранее на этапе топологического анализа схемы и затем используется в процессе моделирования. Процесс моделирования в этом случае происходит «кусочно-непрерывным» образом, т. е. моделирование приостанавливается всякий раз, когда меняется сигнал на линиях-входах «стока» ПСП. Все линии схемы, получившие новые значения сигналов, оцениваются с точки зрения их наблюдаемости, и по наблюдаемым линиям составляют списки выявляемых неисправностей, которые привязывают к линиям — точкам останова моделирования. Если на такой линии уже существует некоторый, предварительно определенный список, то этот список пополняется вновь обнаруженными неисправностями. Так будет продолжаться до тех пор, пока вся схема не перейдет в устойчивое состояние или не истечет время моделирования анализируемого тест-вектора.

Учет эффекта ПСП в логической схеме позволяет добиться адекватных оценок полноты теста для любого комбинационного устройства.

При анализе последовательностного устройства возникает новая проблема — проблема учета распространения неисправного сигнала по обратносвязанным путям (ОСП) в схеме. Согласно [9] ОСП — это ПСП, у которого «исток» и «сток» — один и тот же элемент, и проблема обработки ОСП вызвана той же причиной — многомерной активизацией неисправного сигнала. Учет многомерной активизации для ОСП проводится аналогичным образом. К этапу предварительного топологического анализа необходимо добавить выделение всех ОСП и их «точек разрыва», после чего последовательностное устройство можно рассматривать как условно-комбинационное. Процесс моделирования в этом случае будет прерываться не только на «элементах-стоках» ПСП, но и на «элементах-стоках» ОСП с формированием привязанных списков неисправностей. Моделирование списков неисправностей на «элементах-стоках» ПСП и ОСП происходит одинаково.

Описанное решение проблемы многомерной активизации неисправности вдоль ОСП не является полным: не учитываются возможные комбинации потенциальных неисправностей (неисправное значение — «X»). Однако практические результаты свидетельствуют о незначительной до-

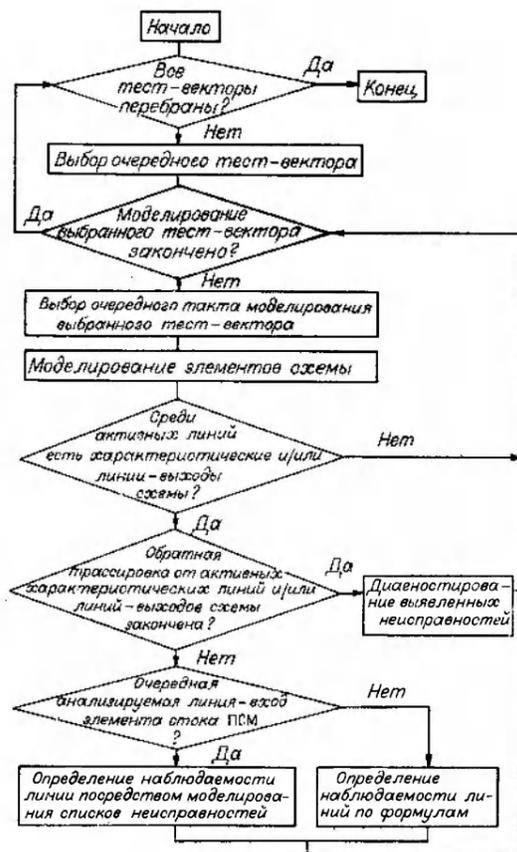


Рис. 1. Блок-схема алгоритма

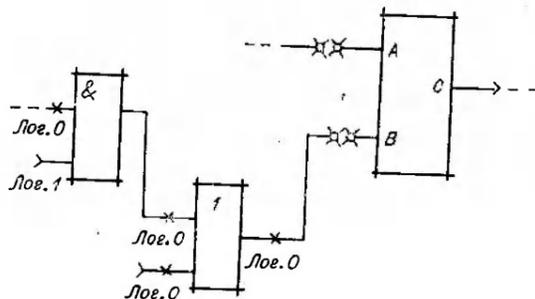


Рис. 2. Пример повторносходящегося маршрута в схеме:

\* — наблюдаемые линии; A, B — входы элемента-стока; □ — линии условного разрыва (точки останова моделирования)

Ранжирование элементов схемы, а следовательно, и неисправностей на линиях упрощает формирование списков неисправностей и моделирование списков на элементах — последователях характеристических линий.

Просчет наблюдаемых линий осуществляется от внешних выходов и линий псевдовыходов схемы до внешних входов или внешних псевдовходов схемы или до исчерпания списка наблюдаемых линий. Неисправности, лежащие на наблюдаемых линиях, а также списки неисправностей, связанные с той или иной наблюдаемой линией псевдовхода, обра-

ле таких комбинаций, и, как правило, оценки полноты теста достаточно точны (до 7 %).

Краткая блок-схема алгоритма приведена на рис. 1.

Для запуска процесса моделирования необходимо инициализировать внешние воздействия. Просчет параметров наблюдаемости происходит по правилам, аналогичным в [8], и предполагает, что топологическая информация о наличии ОСП и ПСП в схеме подготовлена на этапе предварительного анализа схемы. В ходе топологического анализа выделяют все характеристические линии схемы.

К характеристическим линиям схемы относятся линии внешних обратных связей, линии-выходы элементов с памятью, а также линии-входы «стоков» ПСП. Мысленный разрыв характеристических линий приводит к появлению формализма псевдовыходов и псевдовходов [10].

Пример нахождения наблюдаемого пути приведен на рис. 2. Если в процессе просчета наблюдаемых линий встречается элемент с входами — характеристическими линиями И (см. на рис. 2 «элемент-сток» с входами A и B), то список неисправностей, наблюдаемый на выходе этого элемента, определяется моделированием списков неисправностей на его входах в случае многомерной активизации неисправного пути и с использованием параметров наблюдаемости в случае одномерной активизации.

Параметр	Схема			
	T411	HM	MT2	MPL
Общее количество элементов,	891	1700	3 664	1 255
в том числе				
базовых	489	842	2 746	1 255
монтажных	59	20	203	—
вх/вых	39/12	41/37	69/103	17/16
Количество обратных связей	78	133	752	—
Общее количество неисправностей	3658	5426	17 766	14 478
Количество моделируемых неисправностей	1792	3052	10 431	6 651
Количество групп моделируемых неисправностей	5	1	25	4
Количество тестовых векторов	29	130	15	22
Полнота тестового покрытия (конкурентный алгоритм), %	64	64,38	67,17	65
Полнота тестового покрытия (ускоренный алгоритм УВЕРТ), %	60,70	67,10	63,42	65
Среднее время моделирования группы неисправностей (конкурентный алгоритм), мин	31,46	23,54	49,36	98,183
Среднее время моделирования группы неисправностей (ускоренный алгоритм УВЕРТ), мин	2,16	2,18	2,54	11,32

зуют новый список неисправностей, диагностируемый либо на рассматриваемом внешнем выходе схемы либо связанный с соответствующим псевдовыходом схемы.

Описанный процесс непрерывно повторяется в течение всего времени исправного моделирования данного тест-вектора. По окончании моделирования тест-вектора формируется список диагностируемых неисправностей.

**Заключение.** Описанный в статье алгоритм моделирования константных неисправностей в логических схемах лег в основу подсистемы ускоренной верификации тестов (УВЕРТ) [7], реализованной в рамках системы логического моделирования и генерации тестов ПРАЦИС-ТМ. Программный модуль УВЕРТ реализован на языке Фортран-77. Все функциональные возможности модуля исправного моделирования системы ПРАЦИС-ТМ распространяются на программный модуль УВЕРТ.

Экспериментальные результаты, приведенные в таблице, получены на мини-ЭВМ «Электроника 82».

Представленные схемы разнообразны по своей структуре, функциональному назначению и размерности. Полнота построенного теста определялась способом ускоренного моделирования — модулем УВЕРТ. Адекватные оценки полноты теста получены также и в режиме исправного моделирования тестов конкурентным алгоритмом. Как видно из таблицы, применение модуля УВЕРТ показало возможность получения точных оценок полноты теста для комбинационных схем и с точностью 3—4 % для последовательностных схем при 10—20-кратном ускорении процесса моделирования.

#### СПИСОК ЛИТЕРАТУРЫ

1. Poage J. F. Derivation of optimum tests to detect faults in combinational circuits // *Mathematical Theory of Automata*.— N. Y.: Polytechnic Press, 1963.— P. 483.
2. Armstrong D. B. A deductive method for simulation faults in logic circuits // *IEEE Trans.*— 1972.— C-21, N 5.— P. 464.
3. Ulrich E. G., Baker T. // *Computer*.— 1974, April.— P. 39.
4. Brglez F., Pownal P., Hum R. Application of testability analysis: from ATPG to critical delay path tracing // *International Test Conference*.— 1984.— P. 705.
5. *IEEE Des & Test Comput.*— 1985.— 2, N 1.— P. 38.
6. *Радиоэлектроника (состояние и тенденции развития)*.— 1986.— № 2.
7. Лобов И. Е., Межов В. Е., Чевычелов Ю. А. Логическое моделирование и генерация тестов цифровых схем в системе «Кулон» // Школа-семинар молодых ученых и специалистов «Актуальные проблемы создания интеллектуальных САПР, РЭА и СБИС»: Тез. докл.— М., 1989.
8. Киркленд Т., Флорес В. Программируемые средства анализа тестируемости и автоматическая генерация тестов для СБИС // *Электроника*.— 1983.— № 5.
9. Сергеев А. А. Алгоритм выделения повторовосходящихся и циклических путей в схемном графе // *Вопросы радиоэлектроники*.— 1977.— № 11.
10. Putzolu G. R., Roth J. P. A heuristic algorithm for testing of asynchronous circuits // *IEEE Trans.*— 1974.— C-23, N 10.— P. 1078.

Поступила в редакцию 27 июля 1990 г.

УДК 681.621.375

З. А. ЛИВШИЦ, А. В. ПИЧУЕВ

(Новосибирск)

#### SimSim: ПРОГРАММА ЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ МОП БИС НА ПЕРЕКЛЮЧАТЕЛЬНОМ УРОВНЕ

**Введение.** Поведенческое моделирование электронных схем является основным способом проверки соответствия проекта схемы исходным спецификациям ее функционирования и выявления допущенных ошибок. Хорошо известно, что при разработке больших и сверхбольших интегральных схем именно тщательное моделирование позволяет избежать увеличения количества дорогостоящих и времязатратных производственных итераций, выполняемых до получения работоспособных кристаллов. С этой точки зрения особое значение имеет использование моделирования на этапе верификации топологии. Здесь исходной информацией для программ моделирования является описание принципиальной электрической схемы, экстрагированное с применением специальных программных средств из топологического описания разрабатываемого кристалла (при этом имеется возможность варьирования степенью подробности этой информации). В течение длительного времени основными были два (в известной мере полярных) подхода: электрическое моделирование, т. е., по существу, решение систем дифференциальных уравнений, выражающих законы Кирхгофа и Ома (пример — широко распространенная программа SPICE [1]), и чисто логическое моделирование, опирающееся на представление схемы на вентиляльном уровне (типичный пример — программа TEGAS [2]).

Средства первого из указанных типов гарантируют исследование поведения анализируемой схемы с исчерпывающей точностью, однако необходимые временные затраты, связанные с решением систем уравнений высокой размерности, позволяют в настоящее время практически применять их лишь при моделировании схем сложностью до нескольких сотен транзисторов.

С использованием представления вентиляльного уровня удается создавать весьма быстрые алгоритмы моделирования событийного типа, про-