

Н. И. ГОРЕЛИКОВ, Е. А. ФИГУРОВСКИЙ

(Новосибирск)

**СНИЖЕНИЕ ПОГРЕШНОСТИ
ЗВЕЗДООБРАЗНОГО ДЕЛИТЕЛЯ НАПРЯЖЕНИЯ
ПУТЕМ СТАБИЛИЗАЦИИ РЕЖИМОВ
ТРАНЗИСТОРНЫХ КЛЮЧЕЙ**

Построение быстродействующих аналого-цифровых преобразователей связано с использованием низкоомных делителей напряжения (порядка единиц килоом). При этом остаточные параметры транзисторных ключей (ТК) существенным образом влияют на систематическую погрешность делителя [1—3], так как токи через весовые резисторы и ТК становятся сравнимыми с токами управления ключей, а остаточные параметры ТК зависят от режимов ТК, главным образом от величины коммутируемых токов [4, 5]. Кроме того, при использовании низковольтных делителей отношение остаточного напряжения ТК к опорному напряжению становится сравнимым с заданной погрешностью делителя напряжения. Влияние остаточных параметров ТК может быть в значительной мере скомпенсировано известными средствами [3], однако при этом остаточные параметры ТК должны быть стабильными и независимыми от кодовой комбинации. Решению этих вопросов и посвящена данная работа.

Уменьшить систематические погрешности делителя, вызываемые разбросом остаточных параметров ТК, можно путем соответствующего подбора транзисторов, введения выравнивающих резисторов и суммирования компенсирующих напряжений на выходе делителя [6, 7].

Рассмотрим основные источники систематических погрешностей звездообразного некомпенсированного делителя*. Можно показать, что выходное напряжение однодекадного делителя может быть описано выражением

$$U_{\text{вых}} = U_{\text{оп}} \left(1 - \frac{r_0}{r_p}\right) \frac{G_a}{G} - e_0 + U_{\text{оп}} \frac{r_0}{r_p}, \quad (1)$$

где $U_{\text{оп}}$ — напряжение опорного источника (ИОН); $G_a = \sum_1^m G_{a1}$ — сумма проводимостей, подключенных к верхней шине ИОН; величина G_a

* При этом не рассматривается погрешность делителя, вызванная неточностью изготовления резисторов.

зависит от кодовой комбинации; $G_{ai} = \frac{1}{r_{oi} + R_{ai}}$; $G = G_a + G_b$ — полная суммарная проводимость, подключенная к шинам ИОН, величина постоянная для декады делителя, не зависящая от кодовой комбинации; $G_b = \sum_1^n G_{bj}$ — сумма проводимостей, подключенных к нижней шине ИОН, $G_{bj} = \frac{1}{r_{oj} + R_{bj}}$; R_{ai} и R_{bj} — весовые сопротивления. Выражение (1) справедливо, если выполняются следующие условия:

а) остаточные напряжения ТК для всей декады равны между собой

$$e_{oi} = e_{oj} = e_0; \quad (2)$$

б) отношение сопротивлений замкнутого и разомкнутого ТК пренебрежимо мало по сравнению с заданной погрешностью делителя напряжения

$$r_{oi}/r_{pi} \ll \delta_d; \quad (3)$$

в) эквивалентная э. д. с. разомкнутого ТК пренебрежимо мала по сравнению с опорным напряжением

$$e_{pi} \ll U_{оп}; \quad (4)$$

г) если отношение сопротивления замкнутого ТК к весовому сопротивлению превышает заданную погрешность делителя напряжения или сравнимо с ней, $r_{oi}/R_i \geq \delta_d$, необходимо выполнение условия

$$r_{oi}/R_i = \text{const} \quad (5)$$

для всех весовых сопротивлений, так как в противном случае не будет сохранен коэффициент передачи делителя.

Однако выполнение условий (2) и (5) может быть осуществлено лишь при постоянстве остаточных параметров замкнутых ТК. В рассматриваемом случае использования низкоомных резисторов величина отношения r_{oi}/R_i сравнима с погрешностью делителя, а коммутируемые токи — с токами управления ТК. Нетрудно показать, что изменение коммутируемых токов для делителя с использованием двоично-десятичных кодов составляет от 2 до 9 крат.

Влияние величины коммутируемого тока на значение остаточного напряжения транзистора в инверсном включении можно оценить с помощью известного выражения [4]

$$e_0 = I_6 r_k - \frac{kT}{e} \ln \alpha_N, \quad (7)$$

где I_6 — управляющий ток базы; r_k — сопротивление коллектора; $\frac{kT}{e}$ — постоянная, зависящая от температуры коллекторного перехода (при 20°C $\frac{kT}{e} = 26 \text{ мВ}$); α_N — коэффициент усиления транзистора по постоянному току в схеме с общей базой при нормальном включении; $\alpha_N = f(I_6)$.

Сопротивление насыщенного транзистора также зависит от коммутируемого тока и определяется выражением

$$r_0 = \frac{kT}{e} \frac{(1 - \alpha_I)}{I_6 \alpha_I}, \quad (8)$$

где α_I — коэффициент усиления транзистора по постоянному току в схеме с общей базой при инверсном включении; $\alpha_I = f(I_b)$.

Изменение члена выражений (7) и (8), пропорционального $\frac{kT}{e}$, может быть сведено к минимуму путем выбора соответствующего тока базы, причем для каждого значения тока эмиттера существует свой оптимальный ток базы $I_{b, \text{опт}} = \text{const}$ [4, 5]. Очевидно, что лучшим режимом транзистора с точки зрения постоянства остаточных параметров e_0 и r_0 будет неизменное значение тока эмиттера при постоянном оптимальном токе базы. Один из эффективных методов стабилизации токов через ТК делителя состоит во включении выравнивающего резистора между коллектором ТК (имеется в виду инверсное включение) и общим проводом делителя. При этом ТК делителя работают при постоянных токе эмиттера и напряжении коллектор — эмиттер [8].

Рассмотрим схему однодекадного делителя со стабилизирующими резисторами R_{ani} , R_{bni} и двумя источниками питания U_a , U_b (рис. 1). Весовые резисторы R_{ai} и R_{bi} коммутируются n ключами T_{ai} и T_{bi} , работающими синхронно. При замкнутом T_{ai} весовой резистор R_{ai} подключен к источнику U_a , а последовательное соединение

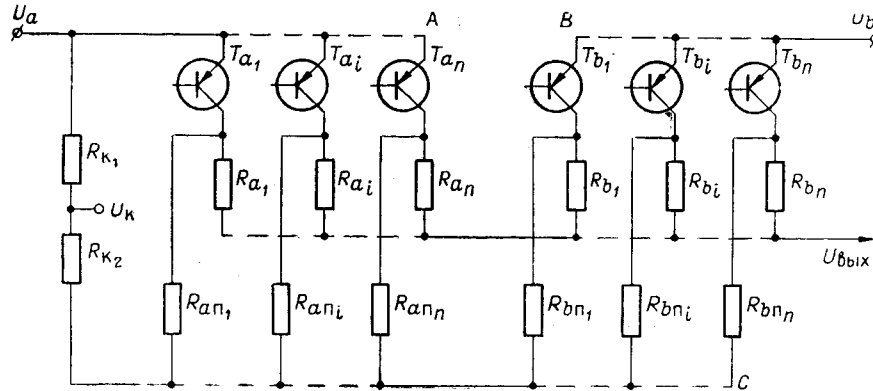


Рис. 1.

резисторов R_{bi} и R_{bni} подключено параллельно выходу декады, так как при этом ключ T_{bi} разомкнут. Аналогично при замкнутом ключе T_{bi} весовой резистор R_{bi} подключен к источнику U_b , а последовательное соединение резисторов R_{ai} и R_{ani} — параллельно выходу декады. Учитывая, что

$$G_a (U_a - U_{\text{вых}}) + G_b (U_b - U_{\text{вых}}) = (G'_a + G'_b) U_{\text{вых}}, \quad (9)$$

находим выходное напряжение делителя без учета погрешностей за счет остаточных параметров транзисторных ключей

$$U_{\text{вых}} = \frac{(U_a - U_b) G_a + U_b G}{G_0}, \quad (10)$$

где G_a — общая проводимость, подключенная к источнику U_a ; G_a зависит от кодовой комбинации; G_a — общая проводимость последовательных ветвей R_{ai} и R_{ani} , подключенных параллельно выходу де-

лителя; G_b — общая проводимость, подключенная к источнику U_b ; G'_b — общая проводимость последовательных ветвей R_{bi} и R_{bni} ;

$$G_a + G_b = G = \text{const} \text{ и } G'_a + G'_b = G' = \text{const}, \quad (11)$$

так как при любой кодовой комбинации проводимости $G_{ai} = \frac{1}{R_{ai}}$ и $G_{bi} = \frac{1}{R_{bi}}$ подключены к соответствующему источнику питания;

$$G + G' = G_0 = \text{const}; \quad (12)$$

$$R_{ai} = R_{bi}; \quad R_{ani} = R_{bni}. \quad (13)$$

Поскольку в выражении (10) присутствует постоянный член, пропорциональный $U_p G$, для приведения выходного напряжения к нулевому уровню при $G_a = 0$ в схему делителя требуется ввести соответствующую компенсацию. Это может быть осуществлено подключением к источнику с большим напряжением (в данном случае к источнику U_a , так как принято $U_a > U_b$) компенсирующей цепочки R_{k1} , R_{k2} . Сопротивления R_{k1} , R_{k2} выбираются по выражению

$$U_a \frac{R_{k2}}{R_{k1} + R_{k2}} = \frac{U_b G}{G_0}.$$

Заслуживает внимания использование данной схемы с одним источником, когда $U_b = 0$. В этом случае шина B , связанная с ключами T_{bi} , соединяется с шиной C (см. рис. 1), а выражение для выходного напряжения принимает вид

$$U_{\text{вых}} = \frac{U_{\text{оп}} G_a}{G_0}. \quad (14)$$

Рассмотрим изменение токов, протекающих через ТК и соответствующие параллельные цепочки R_{ai} и R_{ani} , R_{bi} и R_{bni} . При замыкании ключа T_{ai} по нему протекает ток

$$I_{ai} = (U_a - U_{\text{вых}}) G_{ai} + U_a G_{ani}, \quad (15)$$

а через замкнутый ключ T_{bi} — ток

$$I_{bi} = (U_b - U_{\text{вых}}) G_{bi} + U_b G_{bni}, \quad (16)$$

где $U_{\text{вых}}$ определяется выражением (10).

Используя выражения (7) и (8), можно показать, что изменение коммутируемого тока на 10—50% в области $\alpha_N \leq 0,5$ вызывает изменение величин e_0 и r_0 замкнутого ТК в пределах 2—5%. Так как величина остаточного напряжения e_0 обычно составляет от 0,1 до 1% величины опорного напряжения, то изменение величины e_0 на 5% вполне допустимо при заданной погрешности делителя 0,1—0,05%. Задаваясь указанными максимальными изменениями токов ключей, с помощью выражений (15) и (16) можно определить значения проводимостей выравнивающих ветвей G_{ani} , G_{bni} .

Рассмотрим погрешности однодекадного делителя с компенсирующими резисторами. На рис. 2 схема такого делителя показана с учетом остаточных параметров ТК. Замкнутыми ключами T_{ai} m резисторов R_{ai} подключены к шине A источника U_a , а m последовательных ветвей $R_{bi} + R_{bni}$ — параллельно выходу делителя; n резисторов R_{bj} с помощью замкнутых ключей T_{bj} подключены к шине B источника U_b , а n последовательных цепочек $R_{aj} + R_{anj}$ — к выходу делителя.

Методом узловых потенциалов находим узловые напряжения и выходные сопротивления

для точек a_i :

$$U_{ai} = \frac{(U_a - e_{oi}) R_{ani}}{R_{ani} + r_{oi}}; r_{ai} = \frac{R_{ani} r_{oi}}{R_{ani} + r_{oi}}; \quad (17)$$

для точек a_j :

$$U_{aj} = \frac{(U_a + e_{pj}) R_{anj}}{R_{anj} + r_{pj}}; r_{aj} = \frac{R_{anj} r_{pj}}{R_{anj} + r_{pj}}; \quad (18)$$

для точек b_i :

$$U_{bi} = \frac{(U_b + e_{pi}) R_{bni}}{R_{bni} + r_{pi}}; r_{bi} = \frac{R_{bni} r_{pi}}{R_{bni} + r_{pi}}; \quad (19)$$

для точек b_j :

$$U_{bj} = \frac{(U_b - e_{oj}) R_{bnj}}{R_{bnj} + r_{oj}}; r_{bj} = \frac{R_{bnj} r_{oj}}{R_{bnj} + r_{oj}}. \quad (20)$$

Из выражений (17)–(20) выходное напряжение делителя можно получить в виде

$$\begin{aligned} U_{\text{вых}} &= \frac{\sum_1^m U_{ai} G_{ai} + \sum_1^n U_{aj} G_{aj} + \sum_1^m U_{bi} G_{bi} + \sum_1^n U_{bj} G_{bj}}{\sum_1^m G_{ai} + \sum_1^n G_{aj} + \sum_1^m G_{bi} + \sum_1^n G_{bj}} = \\ &= (U_a - U_b) \left(1 - \frac{r_{oi}}{R_i}\right) \frac{G_a}{G_0} + U_b \left(1 - \frac{r_{oi}}{R_i}\right) \frac{G}{G_0} - e_0 \frac{G}{G_0} + \\ &\quad + (U_a - U_b) \frac{R_{ni}}{r_{pi}} \frac{G'_a}{G} + U_b \frac{R_{ni}}{r_{pi}} \frac{G'}{G}, \end{aligned} \quad (21)$$

где

$$G_{ai} = \frac{1}{R_{ai} + r_{ai}}; G_{aj} = \frac{1}{R_{aj} + r_{aj}}; G_{bi} = \frac{1}{R_{bi} + r_{bi}}; G_{bj} = \frac{1}{R_{bj} + r_{bj}}; \quad (22)$$

$G_a = \sum_1^m G_{ai}$ — сумма проводимостей, подключенных к источнику U_a ;

$G_b = \sum_1^n G_{bj}$ — сумма проводимостей, подключенных к источнику U_b ;

$G'_a = \sum_1^n G_{aj}$, $G'_b = \sum_1^m G_{bi}$ — проводимости на выходе делителя; G , G' и

G_0 — то же, что и в (11) и (12).

Когда для питания делителя используется только один источник $U_{\text{оп}}$, выходное напряжение выражается формулой

$$U_{\text{вых}} = U_{\text{оп}} \left(1 - \frac{r_{oi}}{R_i}\right) \frac{G_a}{G_0} - e_0 \frac{G}{G_0} + U_{\text{оп}} \frac{R_{ni}}{r_{pi}} \frac{G'_a}{G}. \quad (23)$$

Выражения (21) и (23) справедливы при выполнении условий (2)–(5).

Таким образом, в выражения (21) и (23) непосредственно входят остаточные параметры ТК. Для устранения систематической погрешности делителя необходима компенсация членов 2, 3, 4, 5 выражения (21)

и членов 2, 3 выражения (23) путем введения компенсирующей цепочки ($R_{к1}, R_{к2}$ на рис. 1), масштабного сопротивления и подключения к выходу делителя компенсирующего напряжения по способу, указанному в работе [3].

Схема рис. 1 предназначена для использования в двоичном коде, и вследствие этого номиналы резисторов по всем разрядам изменяются в широких пределах (для 10 разрядов $\frac{R_{a1}}{R_{an}} = 10^{-3}$). Увеличение динамического диапазона выходных напряжений путем усложнения схемы делителя, согласно [8], связано с методической погрешностью и наличием дополнительных источников опорного напряжения. Технологически выполнение набора резисторов с диапазоном изменения величин до 10^3 также трудно, а для быстродействующих АЦП использование высокоомных резисторов невозможно, так как с ростом номиналов резисторов ухудшаются их частотные свойства.

Рассмотрим схему делителя, в которой также использован метод стабилизации режимов ТК, а делитель построен для реализации двоично-десятичных кодов. Из технологических соображений делитель целесообразно выполнять на резисторах с номиналами одного порядка. Особенно важно, чтобы сочленение двух или более декад не вносило (как и в обычном звездообразном делителе) методической погрешности. В качестве примера такого делителя рассмотрим схему 3-декадного делителя (рис. 3), которая выполнена для двоично-десятичных самодополняющихся кодов с питанием от двух источников опорного напряжения. Полагая $U_a = 2 U_b$, выбираем весовые резисторы для кодов 4221 и 2421:

$$R_{a1} = R_{b1} = 2R; \quad R_{a2} = R_{b2} = 1R;$$

$$R_{a3} = R_{b3} = 2R; \quad R_{a4} = R_{b4} = 4R.$$

Используя выражения (15) и (16) и задаваясь максимальными изменениями коммутируемых токов в 1,5 раза, для рассмотренного выше случая находим:

$$R_{an1} = R_{bn1} = 2R; \quad R_{an2} = R_{bn2} = 4R;$$

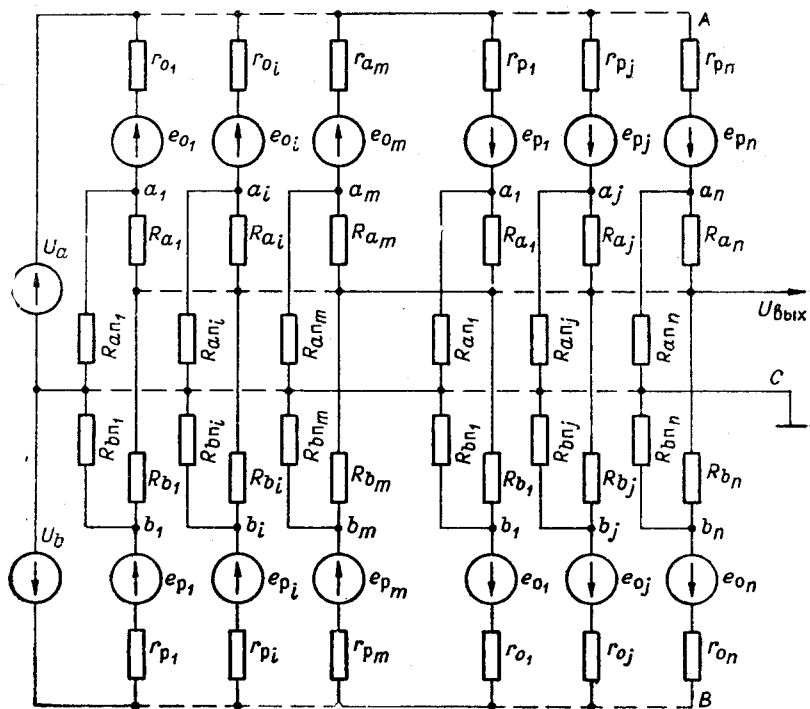
$$R_{an3} = R_{bn3} = 2R; \quad R_{an4} = R_{bn4} = 1R.$$

Для получения делителя с любым числом декад между декадами необходимо включать резисторы связки $R_{св} = 18/7R$ и добавочный резистор в последней декаде $R_d = 2/7R$. Выходное сопротивление декады составляет $2/7R$. Таким образом, для реализации декад компенсированного делителя с кодами 4221 и 2421 необходимы стандартные наборы резисторов $1R, 2R, 2R$ и $4R$.

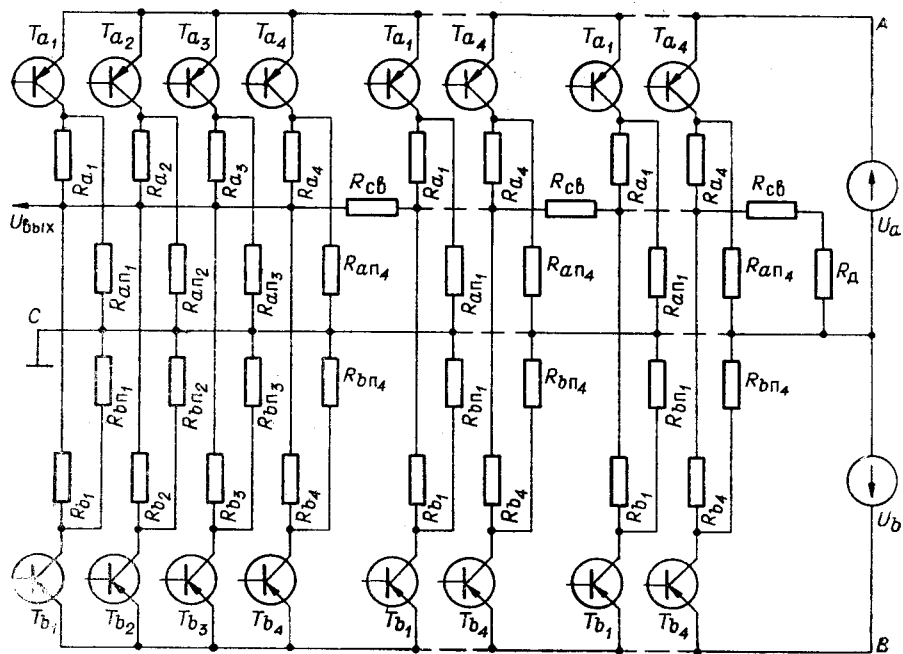
Заключение

Таким образом, в случае использования высокоомных резисторов в делителях напряжения АЦП возможно применение ключевых транзисторов без особых мер стабилизации их режимов.

В случае применения низкоомных резисторов порядка единиц килоом или в общем случае соизмеримости величин r_{oi}/R_i и δ_d необходимо учитывать как сами остаточные параметры, так и их вариации в зависимости от изменения режима работы транзисторного ключа при различных кодовых комбинациях. Для уменьшения систематической погрешности делителя, обусловленной остаточными параметрами ключевых транзисторов, целесообразно использовать метод выравнивания



Puc. 2.



Puc. 3.

токов по схеме рис. 3. В такой схеме ключевые транзисторы работают при постоянных коммутируемых токах и при постоянном напряжении эмиттер — коллектор $U_{эк}$, равном опорному напряжению в замкнутом состоянии и уменьшенном напряжении $U_{эк}$ в разомкнутом состоянии, что способствует стабилизации тока утечки транзистора. При этом имеется возможность компенсации остаточного напряжения на выходе делителя, так как величина e_0 меняется в малых пределах, а делитель может состоять из любого количества одинаковых декад с однотипными резистивными элементами. Предлагаемый метод позволяет выполнить низкоомный делитель опорного напряжения с погрешностью не хуже, чем у делителя с высокоомными резисторами (десятки килоом), и выполненного по обычной схеме. Использование предлагаемого метода для построения высокоомного делителя позволит уменьшить на порядок погрешность по сравнению с делителем по обычной схеме.

ЛИТЕРАТУРА

1. R. Bright. Junction Transistors Used as Switches.—Transactions of the AIEE, 1955, v. 74, pt. III.
2. В. Ю. Кончаловский. К вопросу о точности бесконтактного преобразователя код — напряжение.— Автоматика и телемеханика, 1962, т. 23, № 12.
3. В. М. Муттер. Анализ погрешностей звездообразного потенциометра, вызываемых неидеальностью ключей.— Автометрия, 1966, № 2.
4. J. A. Ekiss and J. W. Halligan. The application, characterisation and performance of the SPAT as a Transistor chopper.—Instrument Practice, 1963, v. 17, № 4, p. 387—399.
5. М. М. Лодыженский. Исследование и сравнительный анализ транзисторных ключей с различными принципами управления.— Автометрия, 1965, № 4.
6. В. М. Муттер. Анализ погрешностей цифрового звездообразного делителя, обусловленных разбросом остаточных параметров открытых транзисторов.— Автометрия, 1967, № 2.
7. В. Е. Наконечный. Некоторые пути уменьшения погрешности электронных цифровых вольтметров с кодо-импульсным преобразованием.— Автометрия, 1967, № 2.
8. A. J. Uphill. Use of the transistor as a switch in precise analogue—digital—converter circuits.—Proceedings of the IEE, 1964, v. 111, № 8, p. 1385—1392.

*Поступила в редакцию
18 января 1968 г.,
окончательный вариант —
4 марта 1968 г.*