

И. Ф. КЛИСТОРИН, А. М. ЩЕРБАЧЕНКО  
(Новосибирск)

### БЫСТРОДЕЙСТВУЮЩИЙ ЦИФРОВОЙ ЧАСТОТОМЕР НИЗКИХ И ИНФРАНИЗКИХ ЧАСТОТ

Быстродействующие цифровые частотомеры низких и инфранизких частот основаны, как правило, на методе, суть которого сводится к прямому измерению периода входного сигнала и последующему преобразованию его в частоту.

Определение значения измеряемой частоты производится путем деления некоторого постоянного числа  $N_s$  на число, пропорциональное периоду входного сигнала. Среди различных алгоритмов деления наиболее просто реализуется алгоритм, состоящий в делении путем последовательного вычитания из постоянного числа  $N_s$  (делимого) значащей цифры старшего разряда числа  $N_T$  (делителя), причем одновременно делимое изменяется на величину, пропорциональную весу остальных разрядов делителя [1]. Но поскольку преобразование числа, соответствующего периоду, в число, пропорциональное частоте, осуществляется путем деления делимого на значащую цифру старшего разряда делителя, последняя должна быть больше нуля, что ограничивает диапазон измеряемых частот. Кроме того, структурная схема устройства, основу которой составляет цифровой интегратор с последовательным переносом, получается неоднородной за счет использования управляемого делителя частоты с параллельным переносом, подключаемого к старшему разряду счетчика, фиксирующего число  $N_T$ .

Недостатки указанного цифрового вычислительного устройства требуют поисков таких алгоритмов деления, которые обеспечивали бы реализацию более простых вычислительных устройств, обладающих высоким быстродействием.

Настоящая работа посвящена принципу построения преобразователя частота — код на базе цифрового интегратора с последовательным переносом, а также быстродействующих частотомеров, предназначенных для работы в диапазоне низких и инфранизких частот.

Как известно [2, 3], цифровой интегратор с последовательным переносом состоит из числового регистра, фиксирующего значение интегрируемой функции, делителя частоты, соединенных между собой через группу импульсно-потенциальных вентилях  $V_1 - V_n$ , и счетчика, соединенного с выходами вентилях через логическую схему ИЛИ (рис. 1, а). Особенность цифровых интеграторов с последовательным переносом состоит в том, что считывание интегрируемой функции произ-

водится путем последовательного опроса импульсно-потенциальных вентилей выходными импульсами триггеров делителя частоты  $F_T$ . Выходы триггеров комбинируются таким образом, чтобы ни одна пара импульсов с выходов двух любых триггеров не совпала во времени (см. рис. 1, б). При соблюдении этого условия на выходе логической схемы ИЛИ образуется поток электрических импульсов с плотностью, определяемой числовым содержанием регистра, значением частоты  $F_T$

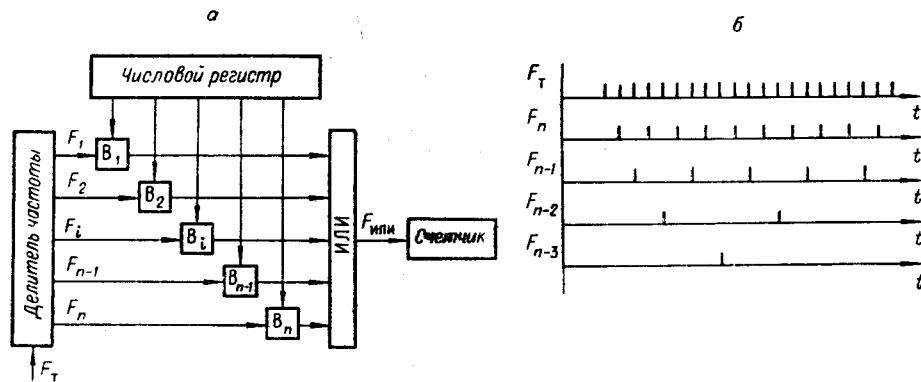


Рис. 1.

и количеством разрядов числового регистра и делителя частоты. Среднее значение частоты импульсов на выходе логической схемы ИЛИ определяется суммой вида

$$F_{\text{или}} = \frac{F_T}{A^n} \sum_{i=1}^n C_i A^{i-1} = F_T \frac{N_1}{A^n}, \quad (1)$$

где  $N_1 = \sum_{i=1}^n C_i A^{i-1}$  — число, хранящееся в регистре;  $A$  — основание системы счисления;  $n$  — количество разрядов числового регистра и делителя частоты;  $i$  — порядковые номера открытых вентилей;  $C_i$  — постоянные коэффициенты, равные числам от 1 до  $A$  для открытых вентилей и нулю для закрытых.

За время  $t$  в счетчике импульсов образуется число, определяемое выражением

$$N_2 = \int_0^t F_{\text{или}} dt = \frac{F_T N_1}{A^n} t. \quad (2)$$

Из выражения (2) видно, что произведение  $F_T t$  будет равно числу  $N_f$  при выполнении равенств  $N_2 A^n = N_s$  и  $N_1 = N_T$ .

Таким образом, рассмотренная схема цифрового интегратора может быть положена в основу цифрового вычислительного устройства для цифровых частотомеров и преобразователей частота — код низких и инфранизких частот.

Блок-схема преобразователя частота — код, в котором применен описанный выше принцип вычисления измеряемой частоты, приведена на рис. 2. Преобразователь частота — код содержит три основных узла: блок выделения периода входной частоты, блок измерения периода и вычислительный блок.

Блок выделения периода входной частоты, состоящий из импульсно-потенциального ключа  $K_1$ , триггера управления  $TГ_1$  и триггера периода  $TГ_2$ , предназначен для формирования двух сигналов, один из которых по длительности соответствует одному периоду входной частоты, а второй сигнал формируется в момент окончания выделенного периода. Первый из указанных сигналов осуществляет управление блоком измерения периода, а второй — вычислительным блоком.

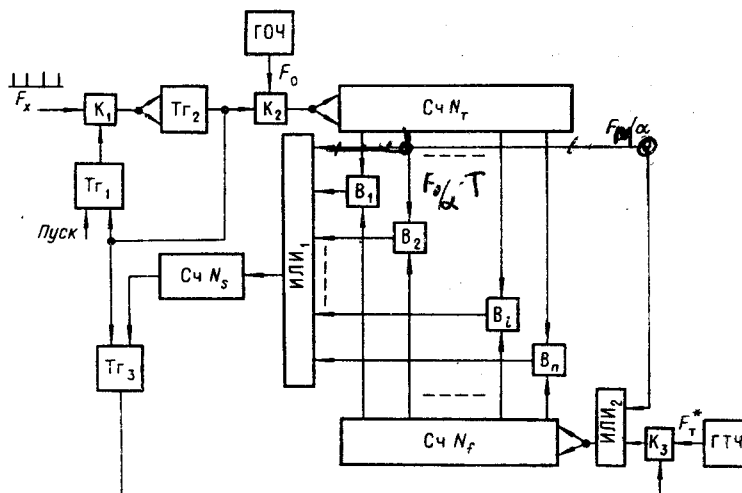


Рис. 2.

Блок измерения периода включает в себя импульсно-потенциальный ключ  $K_2$ , генератор образцовой частоты (ГОЧ) и счетчик числа импульсов  $Сч N_T$ , соответствующего периоду измеряемой частоты.

И, наконец, последний блок, осуществляющий вычисления значения измеряемой частоты, содержит генератор тактовой частоты (ТТЧ), импульсно-потенциальный ключ  $K_3$ , триггер  $TГ_3$ , счетчик постоянного числа импульсов  $Сч N_s$ , логическую схему ИЛИ, суммирующую импульсы группы реле  $B_1 - B_n$ , посредством которых триггерные разряды счетчика  $Сч N_T$  соединены с триггерными разрядами счетчика, фиксирующего число импульсов, соответствующее измеряемой частоте  $Сч N_f$ . Перед началом измерения частоты проводится предварительная установка триггеров  $TГ_1$ ,  $TГ_2$ ,  $TГ_3$ , а также триггеров счетчиков  $Сч N_T$ ,  $Сч N_f$ ,  $Сч N_s$  в состояние «0»; при этом ключи  $K_1 - K_2$  находятся в состоянии «Разомкнуто». Сигнал «Пуск», поступающий на один из отдельных входов триггера  $TГ_1$ , переводит его в состояние «1», при котором ключ  $K_1$  открывается. Импульсные сигналы с интервалом, соответствующим периоду измеряемой частоты, начинают поступать на счетный вход триггера  $TГ_2$ . Первый импульс, пропущенный через ключ  $K_1$ , перебрасывает триггер  $TГ_2$  также в состояние «1», в результате чего открывается и второй ключ  $K_2$ . Через открытый ключ  $K_2$  в счетчик  $Сч N_T$  начинают поступать импульсы от генератора образцовой частоты. Второй импульс, поступающий на вход триггера  $TГ_2$ , возвращает его в исходное состояние «0».

Временной интервал, в течение которого триггер  $TГ_2$  находился в состоянии «1», соответствует периоду измеряемой частоты, и, следова-

тельно, число импульсов, поступивших от генератора образцовй частоты в счетчик  $SчN_T$ , пропорционально периоду.

В момент переброса триггера  $Tг_2$  в исходное состояние на его выходе формируется сигнал, который устанавливает триггер  $Tг_1$  в состояние «0», а триггер  $Tг_3$  в состояние «1», в результате чего ключ  $K_1$  закрывается, а ключ  $K_3$  открывается.

С этого момента начинается вычисление значения измеряемой частоты в соответствии с выражением (2). Импульсы генератора тактовой частоты поступают в счетчик  $SчN_f$ , а импульсные сигналы с выходов триггерных разрядов этого счетчика через группу импульсно-потенциальных вентилей  $B_1 - B_n$  и схему ИЛИ<sub>1</sub> — в счетчик  $SчN_s$ . Сигнал переполнения счетчика  $SчN_s$  возвращает триггер  $Tг_3$  в исходное состояние «0», при котором счет импульсов ГТЧ в счетчике  $SчN_f$  прекращается.

Время вычисления значения измеряемой частоты может быть найдено из выражения (2)

$$t_{\text{выч}} = \frac{N_s N_m}{N_T f_T}, \quad (3)$$

где  $N_s = N_2$ ;  $N_m = A^n$ ;  $f_T$  — частота генератора тактовой частоты.

Уменьшение времени вычисления значения частоты может быть достигнуто при увеличении тактовой частоты. Однако это не единственный способ уменьшения времени вычисления.

Другой способ сокращения времени вычисления состоит в том, что процесс вычисления начинается одновременно с измерением периода. Покажем, что это возможно. Для этого вычтем из обеих частей равенства  $N_s = \frac{N_f N_T}{N_m}$  число  $\frac{N_T}{\alpha}$ :

$$N_s - \frac{N_T}{\alpha} = \frac{N_f N_T}{N_m} - \frac{N_T}{\alpha}, \quad (4)$$

где  $\alpha = \frac{f_{\text{max}}}{f_{\text{min}}}$  — коэффициент, характеризующий диапазон измеряемых частот, и приведем полученное выражение к виду

$$N_{s_1} + \frac{N_T}{\alpha} = \frac{N_{f_1} N_T}{N_m} + \frac{N_m}{\alpha} \frac{N_T}{N_m} \quad (5)$$

Заменив  $N_{f_1}$  произведением  $F_T t$ , определим время вычисления

$$t_1 = \frac{N_{s_1} N_m}{N_T F_T}. \quad (6)$$

Поскольку число  $N_{s_1}$  меньше  $N_s$  на величину  $\frac{N_T}{\alpha}$ , время вычисления, как следует из (6), становится действительно меньше. Коэффициент  $K$ , характеризующий, во сколько раз сократилось время вычисления, определяется из выражения

$$K = \frac{t_1}{t}. \quad (7)$$

Подставив вместо  $t_1$  и  $t$  выражения (3) и (6), учитывая, что  $\frac{N_{T_{\text{max}}}}{N_{T_{\text{min}}}} = \alpha$ ,  $N_s = \frac{N_{T_{\text{max}}}}{\alpha}$ , получим выражение для  $K$  на максимальной частоте диапазона измеряемых частот:

$$K = \frac{N_{T_{\max}} - N_{T_{\min}}}{N_{T_{\max}}} = \frac{\alpha - 1}{\alpha}. \quad (8)$$

Полное время измерения при этом будет равно

$$t_{\text{изм}} = T + \frac{\left(N_s - \frac{F_0 T}{\alpha}\right) N_m}{N_T F_T}, \quad (9)$$

где  $F_0$  — частота генератора образцовой частоты.

Для реализации такого алгоритма необходимо импульсы с выхода триггерного разряда счетчика Сч  $N_T$ , на котором частота импульсов генератора образцовой частоты соответствует  $\frac{F_0}{\alpha}$ , через схему ИЛИ<sub>1</sub> подать на выход счетчика Сч  $N_s$ , а через схему ИЛИ<sub>2</sub> — на вход счетчика Сч  $N_f$ . При  $\alpha=10$  максимальное время вычисления сокращается на 10%.

Погрешность измерения частоты данным методом определяется в основном погрешностью измерения периода. Погрешности вычислительного блока зависят от разрядности счетчиков Сч  $N_s$ , Сч  $N_f$ , Сч  $N_T$  и могут быть сведены практически до любой желаемой величины. Измерение периода производится с погрешностью, соответствующей единице дискретности:

$$N_T \pm 1 = \frac{T}{T_0}, \quad (10)$$

где  $T$  — период измеряемого сигнала;  $T_0$  — период сигнала генератора образцовой частоты.

Абсолютная погрешность вычисления значения измеряемой частоты определяется из выражения

$$\Delta N_f = \frac{N'_s}{N_T \pm 1} - \frac{N'_s}{N_T} \approx \frac{N'_s}{N_T^2}, \quad (11)$$

а относительная погрешность из

$$\delta N_f = \frac{\Delta N_f}{N_f} = \frac{N'_s}{N_f N_T^2}. \quad (12)$$

Число  $N'_s$ , от которого зависит погрешность вычисления частоты, может быть найдено из выражения (12):

$$N'_s = \delta N_{f_{\max}} N_{f_{\max}} N_{T_{\min}}^2. \quad (13)$$

Заменив  $N_{f_{\max}}$  выражением  $N_{f_{\min}} \alpha$ , получим соотношение

$$N'_s = \delta N_{f_{\max}} \alpha N_{f_{\min}} N_{T_{\min}}^2, \quad (14)$$

по которому можно вычислить число  $N'_s$ . Число импульсов, фиксируемое в счетчике Сч  $N_s$ , равно

$$N_s = \frac{N'_s}{N_m}. \quad (15)$$

Значения числа разрядов счетчиков Сч  $N_T$ , Сч  $N_f$ , Сч  $N_s$  могут быть получены из следующих выражений:

$$n_{Cч N_T'} = n_{Cч N_f} = 1 + [\log_A N_{T_{\min}} \alpha]; \quad (16)$$

$$n_{Cч N_s} = 1 + \left[ \frac{\log_A \delta N_{f_{\max}} N_{f_{\min}} N_{T_{\min}}^2}{N_m} \right]. \quad (17)$$

Полученные в данной работе соотношения позволяют рассчитать, исходя из заданной погрешности преобразования и диапазона изменения входной частоты, количество разрядов счетчиков вычислительного устройства, а также оценить его быстродействие.

Так, двоично-десятичный преобразователь частота — код, предназначенный для работы в диапазоне частот, ограниченном соотношением  $\frac{f_{\max}}{f_{\min}} = 9,999$ , при погрешности преобразования 0,1% должен содержать по четыре декады в счетчиках  $Cч N_T$  и  $Cч N_f$  и три декады в счетчике  $Cч N_s$ . При частоте ГТЧ, равной 1 МГц, максимальное время вычисления не превышает 10 мсек.

Рассмотренная схема преобразователя частота — код проще, чем описанная в [1], поскольку в ней отсутствует одна счетная декада в счетчике  $Cч N_s$  и управляемый делитель частоты, подключаемый к старшей декаде счетчика  $Cч N_T$ . Благодаря этому диапазон измерения входных частот расширен без дополнительных усложнений схемы.

Практически реализованные на микросхемах вычислительные устройства для двоичного и двоично-десятичного кодов подтвердили целесообразность использования таких устройств в быстродействующих преобразователях частота — код и цифровых частотомерах низких и инфранизких частот.

#### ЛИТЕРАТУРА

1. Э. К. Шахов. Метод измерения низких частот. — Автометрия, 1966, № 2.
2. А. В. Шилейко. Цифровые дифференциальные анализаторы. М., ВИНТИ, 1961.
3. Г. И. Тахванов, Ю. Ш. Шхалахов. К вопросу о построении импульсных моделей с обратной связью. — Математическое моделирование и электрические цепи. Киев, «Наукова думка», 1964.

Поступила в редакцию  
10 октября 1969 г.