

КРАТКИЕ СООБЩЕНИЯ

УДК 621.317.725

М. Е. ОВЧАРУК
 (Киев)

**СВЕРХБЫСТРОДЕЙСТВУЮЩИЙ ПРЕОБРАЗОВАТЕЛЬ
 НАПРЯЖЕНИЕ — КОД**

При создании сверхбыстродействующих аналого-цифровых преобразователей (более 10^6 преобразований в секунду) возникают трудности выполнения логических, сравнивающих и эталонных элементов наносекундной длительности. Для преодоления их можно использовать: 1) структурные и статистические свойства преобразуемых сигналов с целью оптимального синтеза АЦП для данного класса сигналов; 2) оптимальные по быстродействию алгоритмы функционирования АЦП; 3) достижения СВЧ технологии, привлечение новых элементов (лавинно-пролетных диодов) и различных физических явлений (эффект Ганна и др.); 4) методы структурной избыточности.

В приведенном преобразователе кодирование входного сигнала производится параллельно-последовательным способом [1], где на каждом шаге применяется равномерная разбивка шкалы преобразуемого сигнала (рис. 1). На рис. 1 K_1, K_2, \dots, K_n — количество компараторов в каждом ряду; $УС_1, УС_2, \dots, УС_{(n-1)}$ — устройства связи, которые на базе дешифрации состояний предыдущего ряда компараторов подключают образцовый сигнал в цепь сравнения следующего ряда компараторов; $Дш_1, Дш_2, \dots, Дш_n$ — дешифраторы кодов; $ЛЗ_1, ЛЗ_2, \dots, ЛЗ_{(n-1)}$ — линии задержки.

Представляет интерес показать, как при заданной точности необходимо выбирать распределение компараторов по рядам, количество рядов и организовывать их работу.

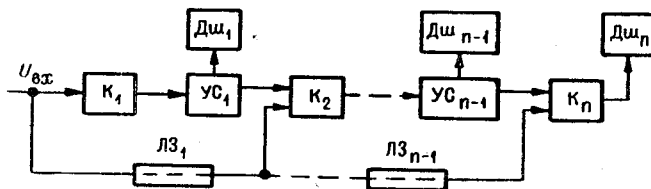


Рис. 1.

1. При заданной точности преобразования h , количестве рядов n будет использовано минимальное количество компараторов в преобразователе, если в каждом ряду кодирование производить при одном и том же основании счисления, т. е.

$$N = \sum_{i=1}^{n-1} a_i Q_i,$$

где N — код преобразуемого сигнала; $a_i = 0, 1, 2, 3, \dots, k$; $Q_i = (k + 1)^i$. Тогда требуемое количество компараторов в ряду составит

$$K_n = \sqrt[n]{\frac{1}{h}} - 1.$$

2. При заданной точности преобразования h можно построить структуру с оптимальным количеством рядов, выбранным из условия обеспечения минимума произведе-

дения $n \sum_{1}^n K_n$. Введение подобного критерия обосновывается следующим рассуждением: при уменьшении количества рядов, при заданной точности h будет увеличиваться количество компараторов в ряду, а значит, и общее число компараторов и наоборот.

Анализируя функцию $f(n) = n^2 \left(\sqrt[n]{\frac{1}{h}} - 1 \right)$, приходим к выводу, что она имеет минимум при выборе целочисленных значений $k=1, 2, 3, 4, 5, \dots$ и выборе n из ряда $1, 3, 7, 15, 31, \dots$, что соответствует преобразованию с основанием счисления, кратного двум. В таблице приведены результаты оптимального выбора рядов.

| | | |
|-----|-----|-------|
| m | 6÷9 | 10÷12 |
| n | 3 | 4 |

3. Так как структура в основном состоит из компараторов, то с целью получения малых аппаратных затрат желательно применять наиболее простые по схемному решению компараторы, одновременно обладающие высоким быстродействием. Таким требованиям удовлетворяют компараторы на туннельных диодах, для которых характерно малое входное сопротивление и то, что они управляются током. Кроме известных способов построения входных цепей сравнения компараторов [2], целесообразно подавать на вход компараторов сигнал через аналоговый преобразователь (вычитатель, сумматор и пр.), на вход которого поступают входные и образцовые напряжения (токи).

4. Тип компараторов в ряду выбирается из условий работы каждого ряда. Так, в первом ряду наиболее целесообразно использование потенциальных компараторов, чувствительных к напряжению, с ограничителями на входе, а в следующих рядах — импульсные компараторы, чувствительные к току. Возможны другие комбинации (2^n) расположения типов компараторов по рядам, что открывает дополнительные возможности по оптимальному синтезу таких АЦП. Тогда устройство связи между разнородными рядами должно исключать возможность случайного совпадения моментов срабатывания потенциальных компараторов с тактирующими импульсами. С этой целью в устройстве связи применены цифровые компараторы Ц₁—Ц₃ (рис. 2). Для устранения случайного совпадения могут использоваться другие способы, например применение блока аналоговой памяти, включаемого между первым и вторым рядами, корректирующих алгоритмов, многократных измерений линий задержки.

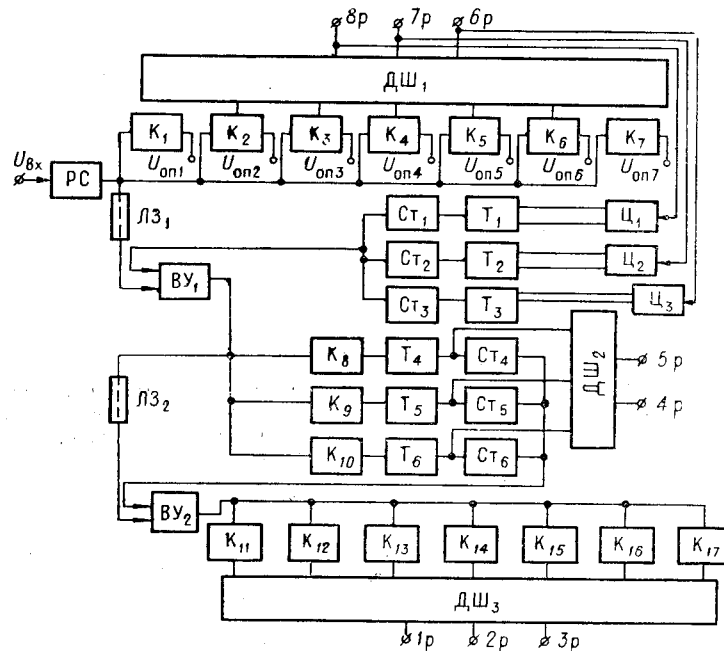


Рис. 2.

5. При реализации дешифраторов кодов возникают трудности, связанные с тем, что на их входы поступают импульсы наносекундной длительности. В качестве логических элементов наиболее целесообразно использование мажоритарных логических элементов, выполненных на одновибраторе (на одном туннельном диоде), а также элементов логической равнозначности, выполненных на токовых переключателях.

На рис. 2 приведена структурная схема разработанного сверхбыстродействующего преобразователя, обеспечивающего 10^7 преобразований в секунду в диапазоне входных напряжений 0—5 в и входном сопротивлении 500 ом. Основной особенностью его является применение разных по принципу действия компараторов в первом, втором и третьем рядах.

В первом ряду стоят потенциальные компараторы $K_1—K_7$, представляющие собой однокаскадные дифференциальные усилители, выход которых подсоединен к пороговому устройству. Во втором и третьем рядах стоят импульсные компараторы на туннельных диодах, собранные по схеме Гото. Такое различие обусловлено обеспечением условий, при которых в цепь второго ряда передаются только изменения входной величины, так как первым рядом обеспечивается режим слежения за входным сигналом. Входное напряжение через развязывающий каскад РС поступает на ряд потенциальных компараторов $K_1—K_7$, производящих равномерную разбивку шкалы входного сигнала. Уровни срабатывания компараторов задаются опорными напряжениями $U_{оп1}—U_{оп7}$, а пороги срабатывания не превышают половины дискретности младшего разряда. Дешифратор $Дш_1$ определяет три старших разряда в двоичной системе. Первый импульс длительностью 18 нсек по основанию и частотой следования импульсов 10 МГц переписывает код с дешифратора через цифровые компараторы $Ц_1—Ц_3$ на триггеры $T_1—T_3$, которые подсоединяют весовые токи разрядов в цепь вычитающего устройства $ВУ_1$. Особых требований к $ВУ_1$ не предъявляется, кроме широкополосности, поэтому он выполнен на транзисторе с общей базой.

Через 40 нсек опрашиваются компараторы $K_8—K_{10}$. Сработавшие компараторы включают триггеры $T_4—T_6$. Последние подсоединяют источники образцового тока $Ст_4—Ст_6$ в цепь вычитающего устройства $ВУ_2$. Сброс триггеров $T_4—T_6$ происходит первым опрашивающим импульсом. Выходы триггеров $T_4—T_6$ подсоединены к дешифратору $Дш_2$, определяющему 5—4 разряды. Через 45 нсек после второго импульса опрашивается последний ряд компараторов $K_{11}—K_{17}$. Этого времени достаточно, чтобы установились образцовые токи $Ст_4—Ст_6$. Выходные импульсы с $K_{11}—K_{17}$ поступают на дешифратор $Дш_3$, выполненный на токовых переключателях, на выходе которых образуется двоичный код трех младших разрядов. Выдача кода параллельно-последовательная: после опроса каждого ряда через 15 нсек выдается код ряда.

Триггеры $T_1—T_3$ не изменяют своего состояния, если к моменту прихода следующего тактирующего импульса не изменяют своего состояния потенциальные компараторы. С целью устранения динамической погрешности за счет изменения входного сигнала за время преобразования применяются две линии задержки: первая $ЛЗ_1$ (5 м кабеля) и вторая $ЛЗ_2$ (4 м кабеля РК-75). Время преобразования равно 85 нсек при апертурном времени 20 нсек, что определяется неточностью и нестабильностью временных согласований.

В процессе эксплуатации за год временной дрейф не превышал трех дискретностей, а за сутки — одной дискретности. Конструктивно преобразователь выполнен на шасси, где каждый ряд размещен в экране, согласование между узлами устройства велось кабелем РК-50.

ЛИТЕРАТУРА

1. Шиндлер. Использование новейших полупроводниковых схем в сверхбыстродействующем цифровом преобразователе. — Электроника, 1963, № 35.
2. В. Н. Хлистунов. Основы цифровой электронизмерительной техники. М.—Л., «Энергия», 1966.

Поступило в редакцию
2 сентября 1969 г.,
окончательный вариант —
26 декабря 1969 г.