

Л. А. ОРЛОВ, Ю. М. ПОПОВ

(Москва)

**ОПТОЭЛЕКТРОННОЕ БЫСТРОДЕЙСТВУЮЩЕЕ
 АРИФМЕТИЧЕСКОЕ УСТРОЙСТВО
 НА УПРАВЛЯЕМЫХ ТРАНСПАРАНТАХ ***

В предлагаемой работе рассматриваются возможные принципы построения быстродействующих арифметических устройств (АУ), построенных на полупроводниковых лазерах и управляемых световых транспарантах (УТ). Путем просвечивания УТ лазером можно реализовать любые функции булевой алгебры, являющиеся полной системой функций, и, следовательно, построить арифметическое устройство.

В этом случае конъюнкция от n переменных реализуется путем просвечивания лазерным лучом n одноячеечных УТ, дизъюнкция — путем сборки (фокусирования) выходных ячеек одного n -ячеечного УТ.

Построение сумматора на управляемых транспарантах. При сложении двух чисел $X = x_1x_2 \dots x_n$ и $Y = y_1y_2 \dots y_n$ основная задача заключается в определении третьего числа $E = (e_0)e_1 \dots e_n$, разряды которого указывают на наличие или отсутствие переноса в соответствующие разряды поразрядной суммы $X \oplus Y$ [1]. При этом $\Sigma = X + Y = X \oplus Y \oplus E$. Для e_k имеем известную формулу (операции «+» и «-» понимаются в смысле булевой алгебры):

$$e_k = x_{k+1}y_{k+1} + x_{k+2}y_{k+2}t_{k+1} + \dots + x_n y_n t_{n-1} \dots t_{k+1} +$$

$$+ \text{„1“} \sum_{i=k+1}^n t_i t_{i-1} \dots t_{k+1} = \sum_{i=k+1}^{n+1} \prod_{j=k+1}^{i-1} x_j y_j t_j, \quad (1)$$

где $t_j = x_j + y_j$; „1“ $\sum_{i=k+1}^n t_i t_{i-1} \dots t_{k+1} \equiv e_n \equiv x_{n+1} y_{n+1}$ (наличие добавочной единицы в младшем разряде при получении дополнительного кода);

$$\prod_{j=k+1}^k x_{k+1} y_{k+1} t_j \equiv x_{k+1} y_{k+1}.$$

Из (1), применяя преобразование де Моргана с использованием склеивания и поглощения, можно получить формулу для отсутствия переноса в данный разряд \bar{e}_k :

$$\bar{e}_k = \sum_{i=k+1}^{n+1} \prod_{j=k+1}^{i-1} \bar{x}_j \bar{y}_j \bar{t}_j, \quad (2)$$

* Материал доложен на Всесоюзной конференции по автоматизации научных исследований на основе ЭВМ в июне 1972 г. в Новосибирске.

где $\tilde{t}_j = \bar{x}_j + \bar{y}_j$; $\bar{1}\bar{\Sigma}'' \equiv \bar{e}_n \equiv \bar{x}_{n+1}\bar{y}_{n+1}$ (отсутствие добавочной единицы);

$$\prod_{j=k+1}^k \bar{x}_{k+1}\bar{y}_{k+1}\tilde{t}_j \equiv \bar{x}_{k+1}\bar{y}_{k+1}.$$

Из (1) и (2) видно, что в образовании e_k и \bar{e}_k участвуют t_j и \tilde{t}_j , являющиеся дизъюнкциями $X+Y$ и $\bar{X}+\bar{Y}$. Функции $T=t_1, t_2, \dots, t_n$ и $\bar{T}=\tilde{t}_1\tilde{t}_2\dots\tilde{t}_n$ целесообразно получать до преобразования X, \bar{X} и Y, \bar{Y} из световых в электрические сигналы, используя получение X_k+Y_k и $\bar{X}_k+\bar{Y}_k$ непосредственно с помощью световодов. Заметим, что T и \bar{T} можно получать и в самом сумматоре путем изменения апертуры ячеек между транспарантами оптическими микроколлиматорами. Однако этот способ приводит к большим потерям световой энергии за счет поглощения в коллиматорах. Если получены e_k и \bar{e}_k , то легко получить сумму в k -м разряде:

$$\sigma_k = x_k \oplus y_k \oplus e_k = x_k\bar{y}_k\bar{e}_k + \bar{x}_k y_k \bar{e}_k + x_k y_k e_k + \bar{x}_k \bar{y}_k e_k. \quad (3)$$

Аналогично

$$\bar{\sigma}_k = x_k \bar{y}_k e_k + \bar{x}_k y_k e_k + x_k y_k \bar{e}_k + \bar{x}_k \bar{y}_k \bar{e}_k. \quad (4)$$

Из (3) и (4) следует, что найденные суммы $\Sigma = X+Y$ и $\bar{\Sigma} = \bar{X}+\bar{Y}$ можно реализовать с помощью добавления в систему транспарантов для получения E и \bar{E} еще двух транспарантов, управляемых X (или \bar{X}) и Y (или \bar{Y}) (рис. 1).

Система транспарантов для получения E и \bar{E} содержит в соответствии с (1) и (2) $n+1$ УТ, а транспаранты X (\bar{X}) и Y (\bar{Y}) — по одному УТ. В общей сложности луч лазера проходит до фотоприемника (ФП) $n+3$ УТ. Размер транспарантов $2(n+1) \times 2(n+2)$. После фокусировки соответствующего k -му столбцу луча лазера со всех ячеек этого столбца на k -й фотодиод ФП на выходе ФП в данном разряде возникает электрический сигнал σ_k . Время задержки τ_3 суммы $X+Y$ по отношению к X и Y для рассмотренного варианта сумматора определяется в основном временем переключения УТ ($\tau_3 \approx 5$ нс). Полный цикл сумматора τ_{Σ} (с учетом возврата на входы УТ результата) составит приблизительно $2\tau_3$. Рассмотренный сумматор обладает большим быстродействием из-за отсутствия цепочки переносов, т. е. является сверхпараллельным.

Основной трудностью при реализации сумматора является требование высокой прозрачности УТ, ибо луч света ослабляется при прохождении m транспарантов в α^m раз, где α — коэффициент прозрачности.

Резкое изменение отношения энергии на входе УТ к энергии на входе ФП накладывает очень жесткие требования на стабильность и повторяемость параметров УТ и требует их термостатирования и стабилизации амплитуд управляющих сигналов.

Рассмотренный выше сумматор легко реализуется при малом m (например, $m=8$). В этом случае снижаются требования к УТ и к условиям их работы, упрощаются схемы УТ, резко уменьшается потребляемая мощность за счет уменьшения числа ячеек и сокращения числа УТ на пути луча. Поэтому весьма перспективной является схема сумматора, состоящего из нескольких байтовых сумматоров, соединенных цепочкой байтовых переносов (рис. 2) (КО — когерентный оптрон; ФП — фотоприемник; Σ_j — байтовый сумматор).

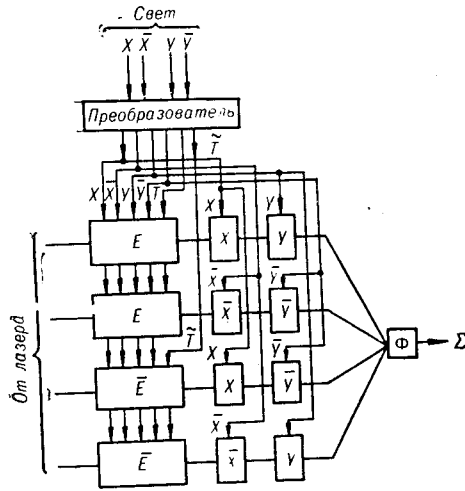


Рис. 1.

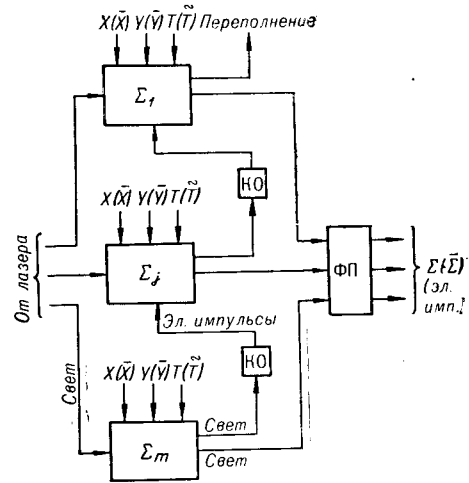


Рис. 2.

Сигнал переноса e_0 от байтового сумматора подается на вход « 1Σ » более старшего сумматора. Аналогично \bar{e}_0 подается на вход « $1\bar{\Sigma}$ ». Суммы Σ и $\bar{\Sigma}$ устанавливаются на выходе всего сумматора с запаздыванием на время пробега переноса по всем байтовым сумматорам. При этом общее время запаздывания составляет

$$\tau_3 = S(\tau_{3,6} + \tau_\phi) + \tau_\tau = S[(m+2)\tau_0 + \tau_\phi] + \tau_\tau, \quad (5)$$

где S — количество байтов в числе; $\tau_{3,6}$ — время запаздывания байтового сумматора; τ_ϕ — время установления напряжения на выходе преобразователей свет — напряжение ($\tau_\phi \leq 10^{-9}$ с); τ_τ — время переключения транспаранта ($\tau_\tau \leq 5 \cdot 10^{-9}$ с); τ_0 — время пролета фотонов через транспарант ($\tau_0 \approx 3 \cdot 10^{-11}$ с). Для 64-разрядного сумматора $\tau_3 = 12 \div 16$ нс и рабочая частота лежит в районе $f_p = (30 \div 40)$ МГц. Потребляемая мощность такого сумматора составляет около 10 Вт; лазеры, облучающие байтовые сумматоры, должны иметь мощность непрерывного излучения порядка 1 Вт.

Принципы выполнения арифметических операций. Оптоэлектронные методы хранения и обработки информации позволяют построить АУ универсального типа, оперирующие программно с числами различных форматов, с фиксированной и плавающей запятой, со знаком и без знака (в байтовой форме).

Ниже рассматриваются для простоты только операции над мантисами в прямом коде со знаком. Разрядность мантисы принципиально значения не имеет. Будем считать, что она разбивается на целое число байтов.

Сложение и вычитание выполняются обычно с использованием прямой или инверсной передачи операндов. Добавим только, что ввиду наличия в АУ нескольких сумматоров, необходимых для ускоренного выполнения длинных операций, восстановления результата не требуется, т. е. сложение и вычитание выполняются всегда в один такт.

Умножение целесообразно выполнять ускоренно, применяя комбинированные методы ускорения, так как увеличение числа сумматоров не приводит к пропорциональному увеличению числа активных элементов, а увеличивает в основном размеры транспарантов. Одним из воз-

можных комбинированных методов ускорения является перекодировка операнда X [2] и одновременное суммирование с четырьмя входами, что дает ускорение умножения по сравнению с поразрядным в 8 раз, т. е. за один такт операнд Y умножается на целый байт операнда X . Перекодировка X осуществляется по формулам:

$$\begin{aligned} \gamma_i^{-1} &= x_i x_{i+1} \bar{e}_{\text{вх}} + x_i \bar{x}_{i+1} e_{\text{вх}}; \\ \gamma_i^0 &= \bar{x}_i \bar{x}_{i+1} \bar{e}_{\text{вх}} + x_i x_{i+1} e_{\text{вх}}; \\ \gamma_i^1 &= \bar{x}_i x_{i+1} \bar{e}_{\text{вх}} + x_i \bar{x}_{i+1} e_{\text{вх}}; \\ \gamma_i^2 &= x_i \bar{x}_{i+1} \bar{e}_{\text{вх}} + \bar{x}_i x_{i+1} e_{\text{вх}}; \\ e_{\text{вых}} &= x_i x_{i+1} + x_i e_{\text{вх}}; \\ \bar{e}_{\text{вых}} &= \bar{x}_i + \bar{x}_{i+1} \bar{e}_{\text{вх}}. \end{aligned} \quad (6)$$

Одновременно перекодируются 4 пары разрядов X , т. е. один байт. Блок-схема сумматора перекодировки дана на рис. 3. Сигналы γ_i^k определяют вид передачи Y на соответствующий вход 4-входного двойного сумматора $\Sigma\Sigma$ (табл. 1). При этом учитываются схемно дополнительные пары сдвигов влево в соответствии с местом пары x_i, x_{i+1} в байте, т. е. с номером группы $\gamma^{(a)}$.

Весь процесс умножения состоит из столько же тактов передачи, сколько байтов содержится в мантиссе.

Схемно $\Sigma\Sigma$ представляет собой три обычных сумматора, соединенных пирамидой, на выходе которой находится накапливающий сумматор. Блок-схема $\Sigma\Sigma$ показана на рис. 4. $\Sigma\Sigma$ имеет $\tau_{\Sigma} = 3\tau_3$, однако операнды поступают с рабочей частотой f_p . Произведение XU формируется на выходе $\Sigma\Sigma$ через два такта после передачи на вход последней группы операндов. Общее время умножения составляет $S+2$ такта τ_{Σ} , где S — число байтов в мантиссе, т. е. при 8 байтах $10\tau_{\Sigma}$.

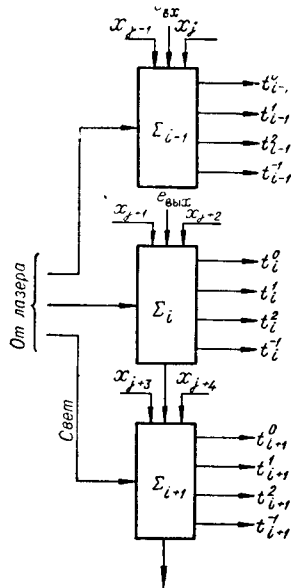


Рис. 3.

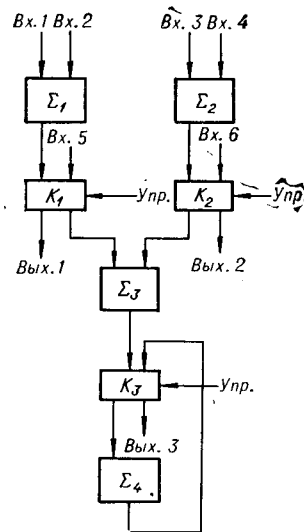


Рис. 4.

Таблица 1

x_i	x_{i+1}	$e_{вх}$	γ^{-1}	γ^0	γ^1	γ^2	$e_{вых}$	Передача γ на $\Sigma\Sigma$
0	0	0	0	1	0	0	0	—
0	1	0	0	0	1	0	0	Прямая
1	0	0	0	0	0	1	0	Прямая, сдвинутая на один разряд влево
1	1	0	1	0	0	0	1	Инверсная
0	0	1	0	0	1	0	0	Прямая
0	1	1	0	0	0	1	0	Прямая, сдвинутая на один разряд влево
1	0	1	1	0	0	0	1	Инверсная
1	1	1	0	1	0	0	1	—

Деление $X:Y$ осуществляется по сокращенному алгоритму в четверичной системе счисления с использованием трех сумматоров, входящих в $\Sigma\Sigma$. Одновременно выполняются четыре действия: $D_i - 0 \cdot Y$ (нет действия), $D_i - Y$, $D_i - 2Y$, $D_i - 3Y$, где D_i — остаток или X .

В результате анализа знаков получаемых разностей определяется пара цифр частного (табл. 2), после чего из четырех указанных разностей одна выбирается в качестве очередного остатка и производится ее передача на регистр остатка со сдвигом влево на два разряда. После $n/2 + 1$ указанных операций деление заканчивается.

Заметим, что все действия необходимо выполнять с двумя дополнительными разрядами, так как $3Y$ имеет разрядность $n+2$. Первое вычисление является проверкой отсутствия переполнения при делении, т. е. условия $X < Y$.

Блок-схема АУ приведена на рис. 5. В состав АУ входят следующие блоки и узлы: регистры операндов и результата (PX, PY, PZ), коммутатор входа — выхода (KB), коммутатор передач ($KП$), сумматор перекодировки (Σ_k), двойной сумматор ($\Sigma\Sigma$), анализатор знаков ($A3$),

Таблица 2

Знак ($D_i - Y$)	Знак ($D_i - 2Y$)	Знак ($D_i - 3Y$)	Цифры частного
0	0	0	11
0	0	1	10
0	1	1	01
1	1	1	00

блок управления и синхронизации ($УС$). Назначение блоков ясно из предыдущего описания алгоритмов действия. Все связи между блоками, за исключением шин управления от $УС$, выполнены в виде световодов. Коммутаторы KB и $KП$ построены на волоконной оптике с групповым клапанированием каналов передачи с помощью УТ.

Быстродействие АУ зависит от разрядности n_0 операндов. В табл. 3 приведены данные по быстродействию для различных n_0 (для $\tau_c = 10$ нс).

Мощность потребления АУ определяется в основном структурой входящих в АУ сумматоров (сверхпараллельные или с байтовыми переносами), а также прозрачностью транспарантов и составляет от 50 до 1000 Вт.

Габариты АУ невелики, так как элементарная ячейка УТ имеет размер $10 \times 10 \times 50$ мкм, сумматор (без соединительных проводов) — $0,2 \times 0,2 \times 1,0$ см, оптронный регистр — $0,1 \times 0,1 \times 1$ см. Ориентировочный общий размер АУ с учетом световодов и соединительных проводов порядка $2-10$ дм³.

Ориентировочное сравнение описанного оптоэлектронного АУ с электронными АУ на интегральных схемах показывает, что основные

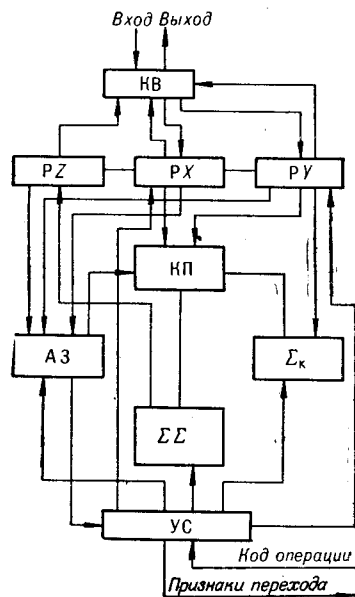


Рис. 5.

преимущества оптоэлектронного АУ — невысокая мощность потребления и малые габариты при быстродействии, соизмеримом с быстродействием электронного АУ, что дает возможность комплексовать оптоэлектронное АУ из большого числа (до 1000 и более) процессоров, обеспечивая суммарную производительность 10^9 — 10^{10} операций/с.

В заключение авторы выражают глубокую благодарность Н. Г. Басову и О. А. Ушакову за полезные обсуждения и помощь в работе.

Таблица 3

Число операций/с	16 ¹⁾	32 ²⁾	48	64
Короткие операции	$4 \cdot 10^8$	$2 \cdot 10^8$	10^8	10^8
Умножение	$4 \cdot 10^7$	$2 \cdot 10^7$	$1,2 \cdot 10^7$	10^7
Деление	$1,2 \cdot 10^7$	$0,6 \cdot 10^7$	$0,4 \cdot 10^7$	$0,8 \cdot 10^7$
Алгоритмические операции	$8 \cdot 10^7$	$4 \cdot 10^7$	$2,5 \cdot 10^7$	$2 \cdot 10^7$

Примечание: 1) при $n_0=16$ в одном полном формате размещаются четыре числа, 2) при $n=32$ — два числа. Операции над ними производятся одновременно.

ЛИТЕРАТУРА

1. Л. А. Орлов. Построение логических схем на ферритах.— В сб. «Кибернетику — на службу коммунизму», т. 3. М.— Л., «Энергия», 1966.
2. R. L. Davis. The ILLIAC — IV Processing Element.— IEEE Trans. Computers, 1969, v. 18, № 9.

Поступила в редакцию
11 мая 1972 г.