

Характер и величина нелинейности преобразования показаны на рис. 2. Сравнивая данный амплитудно-временной преобразователь с преобразователями, содержащими токостабилизирующие устройства [4, 5], можно заметить, что рассмотренный преобразователь, уступая по линейности преобразования, при одинаковой погрешности, связанной с недозарядом зарядного конденсатора, и при равной нестабильности коэффициента преобразования позволяет получить большую величину коэффициента преобразования.

#### ЛИТЕРАТУРА

1. М. И. Грязнов, М. Л. Гуревич, З. В. Маграчев. Изменение импульсных напряжений. М., «Советское радио», 1969.
2. О. В. Руднев. Преобразователь амплитуды импульсов в соответствующее значение длительности.— Авторское свидетельство № 174211.— БИ, 1965, № 17.
3. З. В. Маграчев. Вольтметры одиночных импульсов. М., «Энергия», 1967.
4. Стросс. Быстродействующий преобразователь амплитуды импульсов в цифровую форму на полупроводниковых приборах.— Приборы для научных исследований, 1963, № 4.
5. Л. С. Горн, Б. И. Хазанов. Схема амплитудно-временного преобразования для многоканальных анализаторов на транзисторах.— Многоканальные измерительные системы в ядерной физике, вып. 3. М., Атомиздат, 1963.

Поступило в редакцию 20 декабря 1971 г.,  
окончательный вариант — 26 мая 1972 г.

УДК 681.142.621

**В. Н. ВЬЮХИН**  
(Новосибирск)

### ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНЫЙ АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ НАНОСЕКУНДНОГО ДИАПАЗОНА

Эффективным методом построения аналого-цифрового преобразователя (АЦП) сверхвысокого быстродействия является метод параллельно-последовательного преобразования, при котором за один такт определяется несколько разрядов и который сочетает в себе аппаратную простоту метода поразрядного кодирования с быстродействием метода считывания. Однако при реализации параллельно-последовательного АЦП возникают трудности, связанные с разработкой отдельных узлов, в частности широкополосных вычитающих устройств, необходимых для получения разности между входным и компенсирующим сигналами на каждом такте. Известные устройства этого типа [1] сложны для реализации, так как ряд узлов используется однократно (компараторы, дешифратор) в каждом такте преобразования.

В работе предлагается оригинальная структурная схема АЦП, в значительной мере свободная от указанных недостатков, описываются наиболее ответственные узлы и приводятся полученные результаты.

Структурная схема АЦП приведена на рис. 1. Для схемы выполняются следующие соотношения между числом разрядов  $N$ , числом параллельно определяемых разрядов  $n$ , числом тактов  $m$ , числом компараторов  $L$  и разрядностью  $p$  цифро-аналоговых преобразователей ЦАП<sub>1</sub> и ЦАП<sub>2</sub>:

$$N = mn; \quad L = 2^n - 1; \quad p = N - n.$$

Для структурной схемы рис. 1 существенны условия: а) выходные сопротивления ЦАП<sub>1</sub> и ЦАП<sub>2</sub> равны сопротивлению звеньев делителя напряжения  $R \dots R$ ; б) ЦАП<sub>1</sub> и ЦАП<sub>2</sub> идентичны, за исключением того, что ЦАП<sub>1</sub> имеет один некоммутируемый разряд, вес которого равен весу младшего разряда. Последнее необходимо для дополнения веса суммы неотключенных разрядов ЦАП<sub>1</sub> на каждом такте до целого числа степени два.

АЦП по схеме рис. 1 работает следующим образом. В исходном состоянии все разряды ЦАП<sub>1</sub> включены, а разряды ЦАП<sub>2</sub> выключены. На входы компараторов с выходов ЦАП<sub>1</sub>, ЦАП<sub>2</sub> и делителя напряжения  $R \dots R$  будут поступать напряжения  $q|2^q U_m$  ( $q = 1, 2, \dots, 2^n - 1$ ),  $U_m = 2^N \Delta U$  ( $\Delta U$  — квант по уровню). Следовательно, в пер-

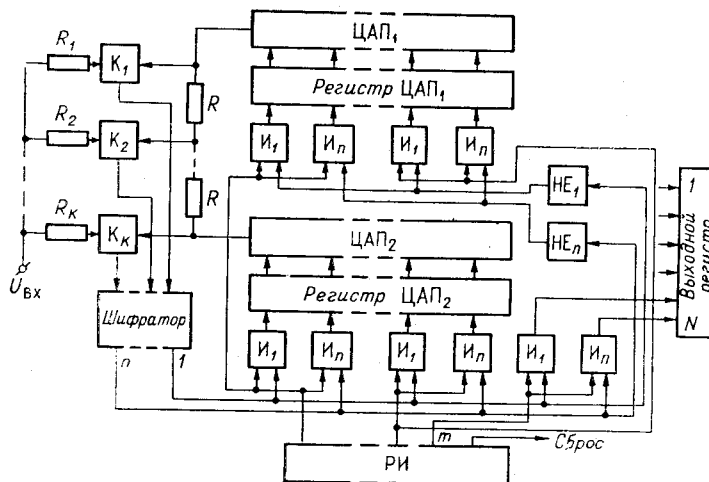


Рис. 1.

вом такте диапазон измерения  $U_m$  будет разбит на  $2^n$  зон. Набор компараторов  $K_1-K_k$  определяет, в какой зоне находится входной сигнал. Шифратор состояния компараторов преобразует унитарный код компараторов в двоичный. Узким импульсом такта выходной код шифратора через схемы  $I_1-I_n$  записывается в старшие  $n$  разрядов регистров ЦАП<sub>1</sub> и ЦАП<sub>2</sub>. Поскольку в исходном состоянии все разряды регистра ЦАП<sub>1</sub> были установлены в «1», то для записи, в него используется инверсный код шифратора, получаемый на выходе схем  $HE_1-HE_n$ . После записи  $n$  старших разрядов в регистры ЦАП<sub>1</sub> и ЦАП<sub>2</sub> одна из ранее выбранных зон оказывается снова разбитой на  $2^n$  зон с шагом  $1/2^{2n}U_m$  и на компараторы будут поступать напряжения  $U_1 + q/2^{2n}U_m$ , где  $U_1$  — значение нижней границы зоны, определенной в первом такте.

Предпоследний импульс такта уравнивает содержание регистров ЦАП<sub>1</sub> и ЦАП<sub>2</sub>. Последний импульс такта записывает выходной код шифратора в младшие  $n$  разрядов, а код регистра ЦАП<sub>1</sub> или ЦАП<sub>2</sub> — в остальные разряды выходного регистра. Процесс преобразования на этом заканчивается. Код результата хранится до конца следующего преобразования. Импульс сброса регистров ЦАП<sub>1</sub> и ЦАП<sub>2</sub> может следовать непосредственно за последним импульсом такта либо перед началом преобразования.

Ниже будут описаны узлы разработанного АЦП по структурной схеме рис. 1, имеющего  $N=8$ ,  $n=2$ .

1. Схема ЦАП приведена на рис. 2, где приняты следующие обозначения: ГТ — генератор тока; ПТ — переключатель тока. ЦАП выполнен по схеме суммирования взвешенных токов с делителем тока в цепи младших разрядов (приведенная на рис. 2 резистивная суммирующая цепь может быть получена из обычной матрицы  $R-2R$  путем эквивалентного преобразования «звезда — треугольник»). Эта схема обеспечивает высокое быстродействие при минимальном числе безреактивных образцовых резисторов  $R$  и  $7R$  типа БЛП, имеющих значительные габариты. Выходное сопротивление ЦАП равно сопротивлению звена делителя напряжения  $R=8/9R'$ . Генератор тока ГТ<sub>7</sub> в ЦАП<sub>2</sub> отсутствует. Регистры ЦАП, шифратор, схемы И, НЕ и выходной регистр выполнены

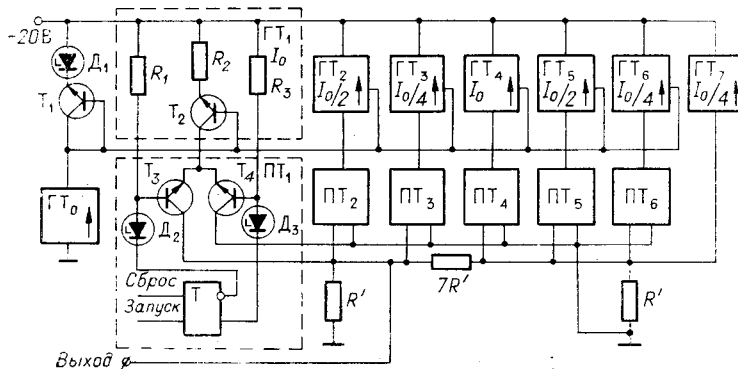


Рис. 2.

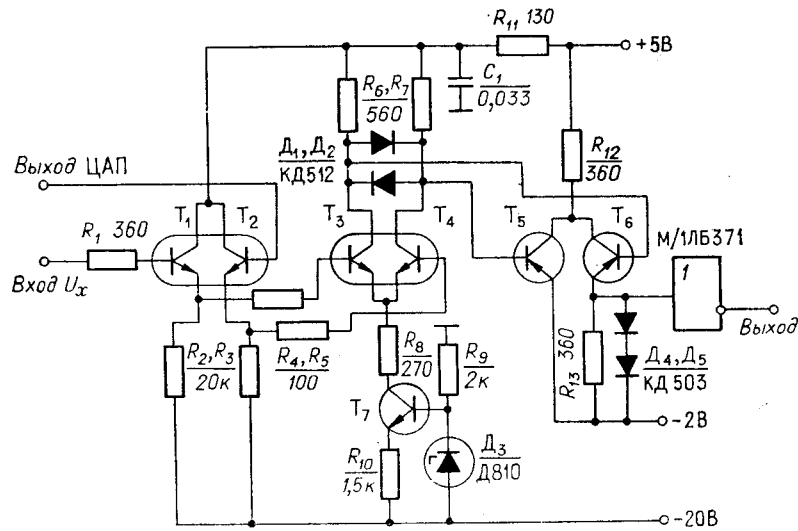


Рис. 3.

на микросхемах серии 137, имеющих задержку 5 нс на вентиль. Согласование выходных уровней микросхем с уровнями, необходимыми для ПТ, осуществляется стабилитронами  $D_2 - D_3$  типа КС168. Поскольку перепад уровней на выходе микросхем составляет лишь 0,9 В, то стабилитроны подбирались в пары с разбросом напряжения стабилизации не более 0,1 В. Опорное напряжение для питания базовых цепей ГТ<sub>1</sub> — ГТ<sub>7</sub> формируется путем пропускания постоянного тока от ГТ<sub>0</sub> по схеме с общей базой через стабилитрон  $D_1$  типа Д818 и триод  $T_1$  в диодном включении, осуществляющий компенсацию дрейфа напряжения база — эмиттер транзисторов в ГТ<sub>1</sub> — ГТ<sub>7</sub>. С целью повышения температурной стабильности 1-го разряда ЦАП, ПТ<sub>1</sub> (на  $T_3 - T_4$ ), ГТ<sub>1</sub>, ( $T_2$ ) и термокомпенсирующий триод  $T_1$  выполнены на двоядных кремниевых транзисторах с высоким коэффициентом передачи тока. Остальные ПТ и ГТ выполнены на транзисторах КТ316В. Значения  $I_0 \approx 13$  мА,  $R = 200$  Ом (см. рис. 1). Активная длительность фронта сигнала на выходе ЦАП 10—15 нс. Настройка ЦАП осуществляется обычным образом с помощью четырех подстроечных резисторов, установленных в цепи эмиттеров ГТ<sub>1</sub> — ГТ<sub>3</sub> и цепи формирования опорного напряжения последовательно с  $D_1$ . Статическая погрешность ЦАП 0,2%.

2. Принципиальная схема компаратора приведена на рис. 3. Компаратор выполнен по схеме двухкаскадного дифференциального усилителя (ДУ) на симметричных транзисторах с входными эмиттерными повторителями. Эмиттерные повторители и первый каскад ДУ выполнены на двоядных (парных) кремниевых транзисторах, имеющих  $f_T > 250$  МГц, во втором каскаде используются транзисторы КТ347. Элементы  $R_4, R_5, R_{11}$  и  $C_4$  служат для подавления генерации усилителя. Резистор нагрузки выходного каскада  $R_{13}$  соединен с источником  $-2$ В и зашунтирован двумя кремниевыми диодами, благодаря чему выходные уровни компаратора соответствуют уровням микросхем серии 137. Выходной сигнал компаратора формируется инвертором  $M_1$ . Резистор  $R_1$  ( $R_1 - R_k$  на рис. 1) компенсирует погрешность, обусловленную протеканием входного тока компаратора через делитель напряжения  $R \dots R$  (см. рис. 1). Значения резисторов  $R_1 - R_k$  рассчитаны при условии постоянства входных токов компараторов в динамическом диапазоне (т. е. при  $R_{вх} = \infty$ ), что осуществляется лишь приближительно. Поскольку возникающая при этом погрешность мала, значения резисторов  $R_1 - R_k$  выбраны одинаковыми. Чувствительность компаратора 5 мВ, аддитивные погрешности менее 10 мВ,  $I_{вх} < 10$  мкА,  $R_{вх} > 2 \cdot 10^6$  Ом.

Быстродействие компаратора измерялось при подаче на один вход напряжения прямоугольной формы с активной длительностью фронта 7 нс и уровнями 0 и  $U_n = -3$  В. На второй вход подавались от калибратора напряжения постоянные уровни  $-\delta$  и  $U_n + \delta$ , где  $\delta$  — значение разбаланса компаратора. Время установления компаратора для худшего из двух случаев составляет 40 нс для  $\delta = 10$  мВ и 25 нс для  $\delta = 20$  мВ. При использовании в компараторе более высокочастотных транзисторов КТ316В время установления уменьшается на 10 нс, однако в этом случае необходим подстроечный резистор для установки нуля компаратора, становится заметной погрешность от саморазогрева транзисторов ДУ, а также увеличивается зона генерации компаратора при малых разбалансах.

Следует отметить, что параллельно-последовательный АЦП на каждом такте аналогичен параллельному АЦП и, следовательно, в нем могут возникать значительные

ошибки считывания, обусловленные неоднозначностью выходного сигнала компараторов в некоторых точках шкалы. В описываемом АЦП ошибки считывания устраняются путем фиксации выходного сигнала компараторов в конце каждого такта с помощью логических вентилях и триггеров, установленных на выходах компараторов.

3. Распределитель импульсов (РИ) такта формирует временную диаграмму АЦП. Он выдает пять узких (15 нс по основанию) импульсов, четыре из которых используются для записи кода шифраторов в регистры, а пятый осуществляет сброс регистров ЦАП<sub>1</sub> и ЦАП<sub>2</sub>. Сброс выходного регистра осуществляется третьим импульсом такта, а запись результата в него — четвертым импульсом. Распределитель работает как аналоговая линия задержки фронта сигнала запуска. Задержка и формирование фронта осуществляется микросхемами 1ЛБ553 (один корпус на одну задержку), к входу одного из инверторов которых присоединяется конденсатор. Отрицательные фронты дифференцируются RC-цепочками и нормируются по уровню микросхемами серии 137.

Разработанный и изготовленный АЦП имеет следующие данные: 8 разрядов, 3 компаратора, входной диапазон 0—5 В отрицательной полярности, время измерения 400 нс, погрешность преобразования  $\pm 1$  квант, входное сопротивление 100 кОм, напряжения питания — 20 В, +5 В и —5 В. Уровни выходных сигналов соответствуют уровням микросхем серии 155 (0 и +3 В). Конструктивно прибор выполнен на четырех платах размером 200×120 мм, которые посредством разъемов соединяются с кроссировочной платой. Имеется выносной блок индикации.

Проверка динамических свойств АЦП производилась путем подачи на вход синусоидального сигнала частотой 100 кГц и при частоте запуска АЦП 2 мГц. Выходные коды записывались в память мини-ЭВМ и затем выводились на график. Результаты испытаний соответствуют расчетным.

Эскизные расчеты и экспериментальные данные показывают возможность использования предложенной структурной схемы для построения 6-разрядного АЦП с двумя тактами уравнивания, имеющего время измерения 100 нс. Такое устройство не будет сложнее описанного, поскольку увеличение числа компараторов до семи и числа микросхем в шифраторе компенсируется сокращением вдвое разрядности ЦАП и регистров ЦАП, упрощением распределителя импульсов и сокращением числа подстроечных резисторов до 2—4. В сочетании с наносекундным фиксатором уровня [2] устройство обеспечит апертурную ошибку измерения 5 нс.

#### ЛИТЕРАТУРА

1. М. Е. Овчарук. Сверхбыстродействующий преобразователь напряжение — код. — Автометрия, 1970, № 3.
2. В. Н. Вьюхин. Наносекундный фиксатор уровня. — Приборы и техника эксперимента, 1972, № 3.

Поступило в редакцию 2 сентября 1972 г.

УДК 621.3.088.22 : 681.325.3 : 681.337

Л. П. ПАСЕКОВ

(Киев)

#### ТОЧНОСТНЫЙ РАСЧЕТ СХЕМЫ $R-2R$ ПРИ ОБРАЩЕННОМ ЕЕ ВКЛЮЧЕНИИ В СХЕМЕ ПРЕОБРАЗОВАТЕЛЯ КОДА В НАПРЯЖЕНИЕ

Одним из основных приборов информационных измерительных и управляющих систем является преобразователь кода в напряжение (ПКН), определяющий точность аналого-дискретно-аналоговых преобразований в системе. В связи с производством высококачественных интегральных операционных усилителей (ОУ) и их дальнейшим совершенствованием становится целесообразным построение прецизионных ПКН с обращенным включением цепочечной схемы (ЦС)  $R-2R$ . При этом (рис. 1) на входе ОУ суммируются весовые токи в комбинации, определяемой входным кодом, и ток цепи обратной связи ОУ.

В настоящей работе проводится полный точностный анализ ЦС  $R-2R$  при обращении ее включении с целью определения зависимости погрешностей весовых токов ПКН от погрешностей резисторов.

При анализе ПКН для  $n$ -разрядной ЦС примем следующее ее разбиение на контуры (рис. 2). Систему уравнений для контурных токов целесообразно записать в матричной форме  $RI = E$ , а ее решение можно представить в общем виде: