

Преобразование S_0 распадается на линейные комбинации пар элементов вектора f , порядковые номера которых r и r_1 удовлетворяют условию $r+r_1=16$ ($r>r_1$), где $r\neq 0$, $r_1\neq 8$.

На рис. 3 представлен пример вычислений по второму алгоритму при $N=16$. Преобразования G_0 и S_0 совпадают в обоих алгоритмах.

Преобразование F_1 разбивается на преобразования M_1 , H_1 и Θ_1 . Преобразование M_1 распадается на суммы и разности элементов, расположенных симметрично относительно середины Y , в результате чего образуются два блока Y_0 и Y_1 . Вектор H_1Y_1 получается из пар элементов, расположенных симметрично относительно середины Y_1 , а вектор K_1Y_1 — это результат умножения верхней половины Y_1 на множитель $2C_2$.

Аналогично производится преобразование F_2 над результатами F_1 , а F_3 распадается на линейные комбинации соседних элементов результата преобразования F_2 .

Участвующие в линейных комбинациях множители следуют в порядке S_r . В преобразовании F_3 множители берутся с весом $1/2$.

Если элементы вектора f упорядочены, то к нему применимо преобразование S_0 . Во втором алгоритме можно просто выполнить преобразование S'_0 над неупорядоченным вектором f . Как видно из рис. 3, вектор S'_0f образуется из суперпозиций элементов f_r и $f_{r'}$, причем

$$r' = \frac{N}{2} + r + (-1)^r \quad \text{при } r = 2, \frac{N}{2} - 1 \quad \text{и} \quad r' = \frac{N}{2} + 1 \quad \text{при } r = 1.$$

В общем случае для упорядочения коэффициентов Фурье (преобразование P_1) используется следующее соответствие: r -му коэффициенту Фурье соответствует адрес $S_m = S_{S_m-1}$ ($S_0=r$; $m=1, 2, 3, \dots$), удовлетворяющий неравенству $S_m \geq r$, где m — минимально возможное. При наличии дополнительной памяти либо в процессе выдачи результатов r -му коэффициенту Фурье соответствует адрес S_r основной памяти.

Поступила в редакцию 4 января 1973 г.

УДК 681.3.02

Н. Н. ВЬЮХИНА

(Новосибирск)

ИНДЕКСНОЕ УСТРОЙСТВО ПРОЦЕССОРА ДЛЯ ВЫПОЛНЕНИЯ БЫСТРОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ

В системах обработки экспериментальных данных, работающих по алгоритму быстрого преобразования Фурье (БПФ) [1], скорость выполнения БПФ является наиболее существенным фактором. Особенно важна она в системах, предназначенных для работы в реальном темпе времени.

Универсальные ЭВМ не позволяют достичь быстродействия, необходимого для обработки результатов в темпе эксперимента. Однако замена программного пути реализации алгоритма БПФ аппаратным путем, при котором управление операциями осуществляется с помощью простого индексного устройства (ИУ), формирующего адреса операндов

и весовых коэффициентов для регулярных и однородных операций алгоритма, позволяет в десятки раз сократить время на выполнение преобразования. Это обстоятельство, а также то, что в специализированных процессорах БПФ может быть наиболее полно реализовано совмещение и распараллеливание операций (алгоритмическое и схемотехническое), дают возможность обеспечить высокую скорость выполнения БПФ в реальном времени эксперимента.

Структура процессора, уровень и способ совмещения и распараллеливания операций определяют схему индексного устройства, предназначенного для формирования адресов операндов и весовых коэффициентов, которые требуются для вычисления БПФ.

В статье рассматривается структура индексного устройства процессора для выполнения БПФ, в котором для обеспечения необходимого параллелизма и совмещения операций в его основных блоках используется несколько модулей оперативного запоминающего устройства (ОЗУ).

Остановимся кратко на способе индексации, т. е. порядке получения адресов ячеек для операндов, хранящихся в ОЗУ, и кодов показателей степени весовых коэффициентов, хранящихся в постоянной памяти (ПЗУ), при выполнении БПФ в случае специализированного процессора с одним арифметическим устройством (АУ) и одномодульным оперативным запоминающим устройством, в котором операции выполняются последовательно во времени [2]. Массив из $N(N=2^m)$ в общем случае комплексных выборок исходного временного сигнала требует выполнения m итераций, каждая из которых включает $N/2$ операций, в результате чего получается N комплексных частотных коэффициентов Фурье. Если обозначить через n номер любой из N исходных выборок или соответствующих промежуточных операндов или конечных результатов преобразования (n принимает значения от 0 до $(N-1)$) и может быть представлено m -разрядным двоичным числом), а через p — номер текущей итерации (p принимает значения от 1 до m), то $A_p(n)$ и $A_{p-1}(n)$ суть n -е операнды, получаемые соответственно на p -й и $(p-1)$ -й итерациях.

Основное соотношение для итеративного алгоритма БПФ по mod 2 для операндов текущей (p -й) и предыдущей [$(p-1)$ -й] итерации и весового коэффициента можно представить

$$A_p(r_0 r_1 \dots r_{p-2} r_{p-1} r_p \dots r_{m-2} r_{m-1}) = A_{p-1}(r_0 r_1 \dots r_{p-2} 0_{p-1} r_p \dots r_{m-2} r_{m-1}) + \\ + (-1)^{r_{p-1}} A_{p-1}(r_0 r_1 \dots r_{p-2} 1_{p-1} r_p \dots r_{m-2} r_{m-1}) W^{2^{m-p}(2^{p-2} r_{p-2} + \dots + 2^{r_0})},$$

где код $(r_0 r_1, \dots, r_{m-2}, r_{m-1})$ — двоичное представление n , а код (r_{p-2}, \dots, r_0) — двоичное представление показателя степени весового коэффициента.

В последовательных процессорах с одномодульным ОЗУ распределение ячеек обычно производят таким образом: исходные выборки заносят в ячейки памяти в естественном порядке, т. е. нулевую выборку $A_0(0)$ — в ячейку 0 и т. д., $A_0(N-1)$ — в ячейку $(N-1)$, и результаты операций возвращают в те же ячейки, из которых выбирались исходные для этих операций операнды. В этом случае код номера операнда однозначно соответствует коду адреса ячейки, в которой этот операнд хранится, т. е. код $(r_0 \dots r_{m-1})$ представляет собой код адреса ячейки с операндом $A_p(r_0 \dots r_{m-1})$. Поскольку для каждой операции любой p -й итерации преобразования выбираются из ОЗУ два операнда — $A_{p-1}(n)$ и $A_{p-1}(n+2^{m-p})$, то коды адресов ячеек, в которых хранятся эти операнды, отличаются на «1» в $(p-1)$ -м разряде кода (считая с нулевого левого) или в $(m-p)$ -м разряде (считая справа), т. е. в разряде, определяемом номером текущей итерации.

Способ индексации, описанный в [2], основан на последовательном формировании двух адресов ячеек с парой операндов; при этом операнды пары последовательно считываются из одномодульного ОЗУ в АУ, а результаты операции из АУ последовательно записываются в те же ячейки ОЗУ (т. е. осуществляется способ последовательного формирования адресов и последовательного обращения к памяти за операндами). Способ отличается большими затратами времени на обращение к оперативной памяти в общем времени выполнения преобразования (для одной операции требуются четыре цикла обращения к ОЗУ).

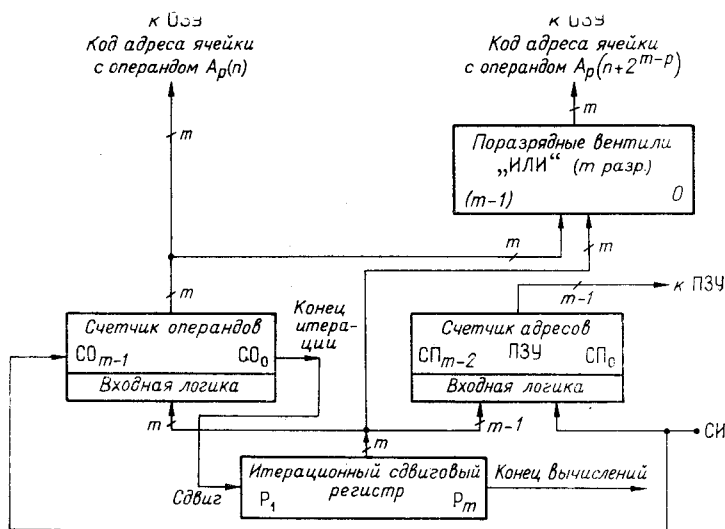


Рис. 1.

В [3] приведена структурная схема параллельного индексного устройства, работающего с быстродействующей одномодульной оперативной памятью. Здесь два кода адреса ячеек для операндов пары формируются одновременно, что позволяет обеспечить большую скорость работы ИУ по сравнению с последовательным способом.

Однако параллельное быстродействующее индексное устройство может быть реализовано с меньшими затратами оборудования. Предлагаемая структурная схема такого устройства приведена на рис. 1. Здесь цифрами от 0 до $(m-1)$ обозначены номера разрядов на счетчиках и число проводов в линиях связи между узлами. Итерационный сдвиговый m -разрядный регистр, исходным состоянием которого является «1» в первом левом разряде P_1 и нули во всех остальных, после каждой итерации сдвигает «1» на один разряд вправо; во всех остальных разрядах находятся нули. Выходы итерационного регистра (P_i) управляют порядком счета m -разрядного счетчика операндов, на котором формируется код номера первого из операндов пары (этот код, как уже отмечалось, является кодом адреса ячейки одномодульного ОЗУ с первым из пары операндов). Управление порядком счета состоит в том, что выход того разряда итерационного регистра, который находится в состоянии «1» и определяет номер выполняемой итерации, блокирует соответствующий разряд счетчика операндов, запрещая прохождение единиц переноса в этот разряд с предыдущего и разрешая прохождение этих единиц переноса непосредственно в следующий за блокируемым разряд. Схема входной логики счетчика операндов приведена на рис. 2. Таким образом, блокируемый разряд, номер которого определен номером выполняемой итерации, находится в течение всей

этой итерации в нулевом состоянии. При поступлении счетных импульсов на счетчике операндов будут формироваться коды адресов (номеров) первых из пар операндов. Число этих адресов, сформированных на m -разрядном счетчике операндов, всего $N/2 = 2^{m-1}$.

Код адреса (номера) второго из пары операндов формируется на выходах поразрядных вентилей ИЛИ, на одни входы которых поступает код номера первого из пары операндов со счетчика операндов, а на другие входы — код с итерационного сдвигового регистра с «1» в соответствующем разряде. Таким образом, получаем код адреса первого операнда из пары на выходах счетчика операндов, а код адреса второго операнда из пары на выходах поразрядных вентилей ИЛИ.

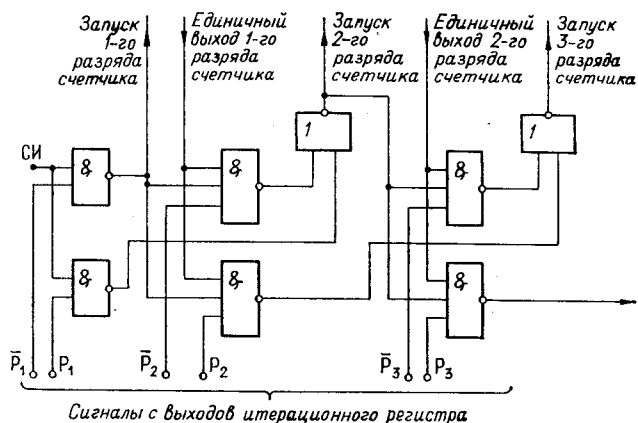


Рис. 2.

Код адреса комплексного весового коэффициента, хранящегося в ПЗУ, формируется на счетчике адресов ПЗУ в результате того, что счетные импульсы СИ поступают в тот разряд счетчика, на который приходит «1» с итерационного регистра. Достигается это тем, что входная логика счетчика ПЗУ представляет собой поразрядные вентили И, на одни входы которых поступает код с итерационного регистра, на другие — счетные импульсы. Выход каждого из вентилях И объединяется поразрядно по ИЛИ с единичным выходом каждого предыдущего разряда счетчика, и объединенные по ИЛИ сигналы поступают на вход каждого разряда счетчика ПЗУ. Таким образом, счет импульсов начинается с того разряда, который определяется номером текущей итерации. Причем на первой итерации код показателя степени весового коэффициента должен быть нулевым, поэтому сигнал с первого разряда P_1 регистра на счетчик адресов ПЗУ не поступает и число разрядов счетчика адресов ПЗУ равно $(m-1)$. Если обозначить через CO_i состояние i -го разряда счетчика операндов, через $СП_j$ состояние j -го разряда счетчика ПЗУ, а через $ПВ_k$ состояние k -го разряда поразрядных вентилей ИЛИ, то коды адресов для преобразования массива $N=8=2^3$ ($m=3$) могут быть представлены табл. 1.

Параллелизм в формировании адресов рассмотренного индексного устройства введен для согласования работы ИУ с быстродействующей памятью. Однако более распространенной является ситуация, когда быстродействие арифметического и индексного устройств превышает быстродействие памяти. Тогда задача обеспечения более полного параллелизма и совмещения операций может быть достигнута путем увеличения числа модулей оперативного запоминающего устройства.

Поскольку для любой операции при реализации алгоритма БПФ выбираются из оперативной памяти два операнда, то очевидным спосо-

Таблица 1

Счетные импульсы	Состояние разрядов				Номер итерации
	итерационного регистра P_1, P_2, P_3	счетчика операндов CO_2, CO_1, CO_0	поразрядных вентилей ИЛИ $ПВ_2, ПВ_1, ПВ_0$	счетчика ПЗУ СП, СП ₀	
0	1 0 0	0 0 0	1 0 0	0 0	1
1	1 0 0	0 1 0	1 1 0	0 0	
2	1 0 0	0 0 1	1 0 1	0 0	
3	1 0 0	0 1 1	1 1 1	0 0	
0	0 1 0	0 0 0	0 1 0	0 0	2
1	0 1 0	1 0 0	1 1 0	1 0	
2	0 1 0	0 0 1	0 1 1	0 0	
3	0 1 0	1 0 1	1 1 1	1 0	
0	0 0 1	0 0 0	0 0 1	0 0	3
1	0 0 1	1 0 0	1 0 1	0 1	
2	0 0 1	0 1 0	0 1 1	1 0	
3	0 0 1	1 1 0	1 1 1	1 1	

бом увеличения быстродействия процессора является использование двухмодульного ОЗУ. Это позволяет организовать параллельное считывание двух требуемых операндов для операции в АУ и параллельную запись двух результатов проведенной операции в те же ячейки модулей, уменьшив тем самым время на обращение к памяти по сравнению с одномодульным ОЗУ в 2 раза [4].

Анализ требуемой последовательности адресов при выполнении алго-

ритма БПФ показывает, что распределение выборок (операндов) по ячейкам двухмодульного ОЗУ должно производиться следующим образом: номер модуля, куда заносится и где хранится данная выборка (операнд), определяется величиной суммы по $\text{mod } 2$ значений разрядов кода номера выборки (операнда), а код адреса ячейки в этом модуле определяется кодом номера выборки без старшего разряда. В соответствии с этим порядок работы индексного устройства должен быть таким: по сформированному на счетчике операндов коду номера первого из пары операндов должны быть сформированы код номера второго из пары операндов, номер модуля и код адреса ячейки, в которой хранится первый операнд пары и код адреса ячейки в другом модуле ОЗУ, в котором хранится второй операнд. Предлагаемая структурная схема ИУ процессора БПФ, работающего с двухмодульным ОЗУ, приведена на рис. 3. Счетчик операндов, счетчик выборок и сдвиговый регистр были рассмотрены выше и никаких отличий от предыдущих схем не содержат.

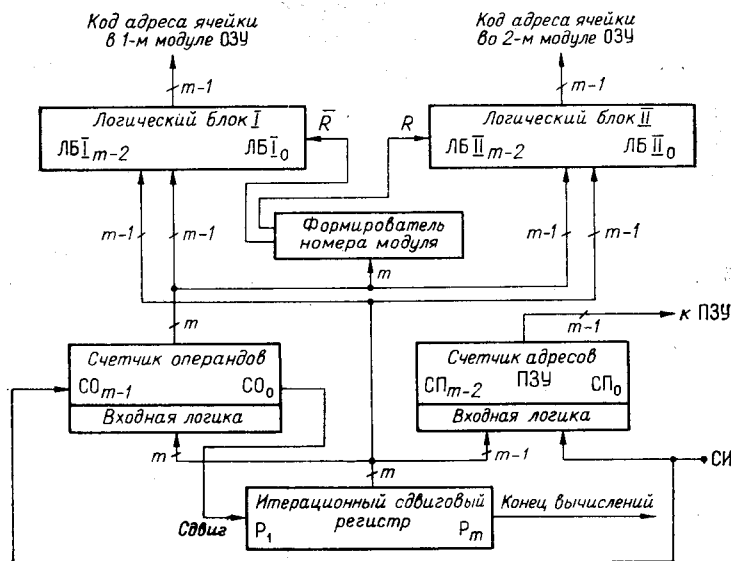


Рис. 3.

Формирователь номера модуля представляет собой схему сложения по mod 2 значений всех разрядов кода номера операнда. Если сумма по mod 2 равна «0», то сигнал R с формирователя номера модуля равен «1» (высокий уровень) ($\bar{R}=0$); это означает, что операнд с этим номером расположен в первом модуле ОЗУ (1-м ОЗУ). Если сумма равна «1», то $R=0$ ($\bar{R}=1$) и операнд расположен во втором модуле ОЗУ (2-м ОЗУ). Код номера первого операнда без старшего разряда CO_{m-1} поступает на оба логических блока, а код с итерационного регистра без старшего разряда P_1 поступает лишь на тот блок, на который приходит «1» от формирователя номера модуля (т. е. $R=1$ или $\bar{R}=1$).

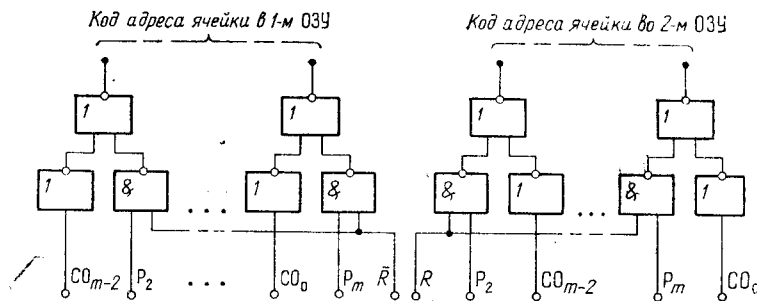


Рис. 4.

Схема логических блоков приведена на рис. 4. Сигналы $R=0$ или $\bar{R}=0$ запрещают подстановку «1» с итерационного регистра в код номера первого из пары операндов. Таким образом, получается, что на выходе того логического блока, на который поступает «0» ($R=0$ или $\bar{R}=0$) с формирователя номера модуля, формируется код адреса ячейки с первым из пары операндом, на выходе другого логического блока, на который поступает «1» ($R=1$ или $\bar{R}=1$), формируется код адреса ячейки со вторым из пары операндом. Коды адресов в случае работы процессора с двухмодульным ОЗУ могут быть представлены табл. 2 для $N=8$, $m=3$. На табл. 2 ЛБИ₁ — состояние i -го разряда кода на выходе логического блока I к первому модулю ОЗУ, ЛБИ₂ — то же, ко второму модулю ОЗУ.

Таблица 2

Счетные им- пульсы	Состояние разрядов							Номер итерации
	итерационно- го регистра P_1, P_2, P_3	счетчика опе- рандов $CO_2,$ CO_1, CO_0	R	\bar{R}	логического блока ЛБИ ₁ , ЛБИ ₀	логического блока ЛБИ ₂ , ЛБИ ₀	счетчика ПЗУ СП ₁ , СП ₀	
0	1 0 0	0 0 0	1	0	0 0	0 0	0 0	1
1	1 0 0	0 1 0	0	1	1 0	1 0	0 0	
2	1 0 0	0 0 1	0	1	0 1	0 1	0 0	
3	1 0 0	0 1 1	1	0	1 1	1 1	0 0	
0	0 1 0	0 0 0	1	0	0 0	1 0	0 0	2
1	0 1 0	1 0 0	0	1	1 0	0 0	1 0	
2	0 1 0	0 0 1	0	1	1 1	0 1	0 0	
3	0 1 0	1 0 1	1	0	0 1	1 1	1 0	
0	0 0 1	0 0 0	1	0	0 0	0 1	0 0	3
1	0 0 1	1 0 0	0	1	0 1	0 0	0 1	
2	0 0 1	0 1 0	0	1	1 1	1 0	1 0	
3	0 0 1	1 1 0	1	0	1 0	1 1	1 1	

Дополнительные затраты оборудования в ИУ, связанные с применением двухмодульной памяти, т. е. затраты на формирователь номера модуля малы и составляют менее одной микросхемы на разряд адреса, зато скорость вычисления возрастает вдвое за счет уменьшения времени на обращение к памяти. При реализации узлов индексного устройства, предназначенного для работы с двухмодульным ОЗУ общей емкостью 4096 слов, на микросхемах ТТЛ серии 155 можно обеспечить формирование двух 11-разрядных кодов адресов ячеек обоих модулей с требуемыми операндами пары за время менее 1,5 мкс. В случае двухмодульного ОЗУ время выполнения операций в АУ может полностью укладываться в интервал времени от момента считывания операндов из модулей ОЗУ до момента записи результатов в модули, т. е. достигается совмещение операций вычисления в АУ и обращений к памяти.

Более полное совмещение операций, когда время выполнения операции в арифметическом устройстве в k раз меньше цикла обращения к ОЗУ, достигается при использовании числа модулей $M \geq 2k$. Причем целесообразно применение числа модулей, являющегося степенью двух: $M = 2^i$. Случай, когда $i = 1$, т. е. $M = 2$, выше рассмотрен, и из принятого условия определяется порядок распределения операндов в ячейках модулей памяти с числом модулей 2^i (i — любое целое), который обеспечивает нахождение считываемых и заносимых операндов пары в разных модулях.

Номер модуля (одного из 2^i), в который заносится и в котором хранится операнд, определяется по величине суммы по $\text{mod } 2^i$ значений групп по i разрядов из кода номера этого операнда (т. е. двоичный код номера операнда представляется группами по i разрядов, затем эти группы суммируются по $\text{mod } 2^i$). Результат суммирования определяет номер модуля, кодом адреса ячейки в этом модуле является код номера операнда без i старших разрядов. Индексное устройство в общем случае работы с 2^i -модульным ОЗУ имеет некоторые отличия от приведенной выше схемы для двухмодульного ОЗУ. Отличия заключаются в числе логических блоков (их нужно 2^i) и в схеме формирователя номера модуля. В этом случае формирователь модуля должен суммировать по $\text{mod } 2^i$ значения групп по i разрядов из кода номера первого операнда пары, определяя, таким образом, код номера модуля с первым операндом. Код номера модуля ОЗУ, в котором хранится второй из данной пары операнд, определяется после сложения также по $\text{mod } 2^i$ уже полученного кода номера модуля с группами по i разрядов из кода с итерационного сдвигового регистра. Код адреса ячейки для первого из пары операнда определяется с кодом номера операнда без i старших разрядов, а код адреса ячейки со вторым операндом из пары определяется после подставления в соответствующий разряд полученного кода адреса единицы с итерационного сдвигового регистра.

Таким образом, приведенная структура индексного устройства позволяет значительно увеличить быстродействие специализированного процессора БПФ за счет совмещения и распараллеливания операций в основных его блоках в практических чаще всего встречаемых случаях, когда быстродействие арифметического устройства превышает быстродействие оперативной памяти.

ЛИТЕРАТУРА

1. Бергланд. Руководство к быстрому преобразованию Фурье.— Радиоэлектроника, 1971, № 3.
2. Клан, Шайвли, Гомец, Гилмартин. Специализированный процессор для быстрого решения задач гармонического анализа.— Электроника (перевод с англ.), 1968, № 13.

3. William W. Мoуег. A High — Speed Indexing Unit for FFT Algorithm Implementation. — Computer Design, 1971, v. 10, № 12.
 4. В. М. Ефанов, И. И. Коршевер, В. М. Лобастов, Г. Г. Матушкин. Структура многофункционального процессора на основе алгоритма быстрого преобразования Фурье. — Автометрия, 1973, № 3.

Поступила в редакцию 12 октября 1972 г.

УДК 517.52 : 519.24

В. М. ЕФАНОВ, И. И. КОРШЕВЕР, В. М. ЛОБАСТОВ

(Новосибирск)

О ВЫЧИСЛЕНИИ МГНОВЕННОГО СПЕКТРА

Постановка задачи. При анализе случайных процессов [1], в частности при решении задач распознавания образов, требуется вычисление «скользящего» мгновенного спектра процесса $f(t)$:

$$S'_\tau(\omega) = \frac{1}{T} \int_{\tau}^{T+\tau} f(t) e^{-i\omega t} dt; \quad (1)$$

здесь T — длительность временного окна. Если временной сдвиг τ изменяется дискретно, то (1) принимает вид

$$S'_i(\omega) = \frac{1}{T} \int_{i\Delta\tau}^{T+i\Delta\tau} f(t) e^{-i\omega t} dt, \quad (2)$$

где $\Delta\tau$ назовем шагом скольжения ($\Delta\tau < T$). В случае дискретного преобразования Фурье (ДПФ)

$$S'_i(r) = \frac{1}{N} \sum_{k=in}^{N+in-1} f(k) e^{-\frac{j2\pi rk}{N}} = \left[\frac{1}{N} \sum_{k=0}^{N-1} f(k+in) e^{-\frac{j2\pi rk}{N}} \right] e^{-\frac{j2\pi nr}{N}}, \quad (3)$$

где $r=0, 1, \dots, N-1$; $i=0, 1, \dots, \infty$; $N = \frac{T}{\Delta t}$; $n = \frac{\Delta\tau}{\Delta t}$; Δt — шаг квантования по времени процесса $f(t)$. В (3) выражение, стоящее в квадратных скобках

$$S_i(r) = \frac{1}{N} \sum_{k=0}^{N-1} f_i(k) e^{-\frac{j2\pi rk}{N}}, \quad (4)$$

представляет собой ДПФ подпоследовательностей $f(k+i) = f_i(k)$, смещенных во временной области к началу координат.

На практике обычно интересуются амплитудным спектром, вычисление которого по (3) и (4) дает один и тот же результат, т. е. $|S'_i(r)| \equiv |S_i(r)|$. Фазовый множитель в (3) $e^{-\frac{j2\pi nr}{N}}$ информации о процессе не содержит и учитывает лишь временной сдвиг подпоследовательностей $f_i(k)$. Поэтому в дальнейших рассуждениях имеется в виду вычисление «скользящего» мгновенного спектра по выражению (4).

Для перекрывающихся подпоследовательностей $f_i(k)$ ($\Delta\tau < T$) вычисление ДПФ по (4) связано с необходимостью повторного выполнения ряда операций. Это ведет при непосредственном определении