

## ЛИТЕРАТУРА

1. В. А. Свириденко. Устройство для сжатия и кодирования аналоговых сообщений в системах КИМ. Авт. свидетельство № 409277. Приоритет 30 июня 71 г.— ОИПОТЗ, 1973, № 48.
2. В. В. Быков. Цифровое моделирование в статистической радиотехнике. М., «Советское радио», 1971.
3. В. И. Тихонов. Выбросы случайных процессов. М., «Наука», 1970.

Поступило в редакцию 22 февраля 1973 г.

УДК 681.323 : 621.317.757.32

Г. Ш. АВЕТИСОВ, А. И. ГРЕЧИШНИКОВ, В. Н. ЛУТАЙ

(Таганрог)

### О ПРОЕКТИРОВАНИИ ОПЕРАЦИОННЫХ УСТРОЙСТВ ПРОЦЕССОРОВ БЫСТРОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ

Одна из причин широкого использования процессоров быстрого преобразования Фурье (БПФ) — возможность значительного сокращения времени выполнения арифметических операций, достигаемого в процессорах за счет структурной реализации алгоритма БПФ, по сравнению с программной реализацией.

Алгоритмы арифметических операций выглядят следующим образом:

$$A_{i+1}(j) = A_i(j) + A_i(k) W^\beta; \quad A_{i+1}(k) = A_i(j) - A_i(k) W^\beta, \quad (1)$$

где  $A_i(j)$  и  $A_i(k)$  — комплексные операнды, находящиеся при выполнении  $i$ -й итерации в  $j$ -й и  $k$ -й ячейках оперативного запоминающего устройства (ЗУ);  $W = \exp[-2\pi j/N]$ .

Основной частью операционного устройства (ОУ), реализующего (1), является блок перемножения двух комплексных величин, осуществляющий следующие действительные вычисления:

$$\begin{aligned} \operatorname{Re} [A_i(k) W^\beta] &= \operatorname{Re} A_i(k) \operatorname{Re} W^\beta - \operatorname{Im} A_i(k) \operatorname{Im} W^\beta, \\ \operatorname{Im} [A_i(k) W^\beta] &= \operatorname{Im} A_i(k) \operatorname{Re} W^\beta + \operatorname{Re} A_i(k) \operatorname{Im} W^\beta. \end{aligned} \quad (2)$$

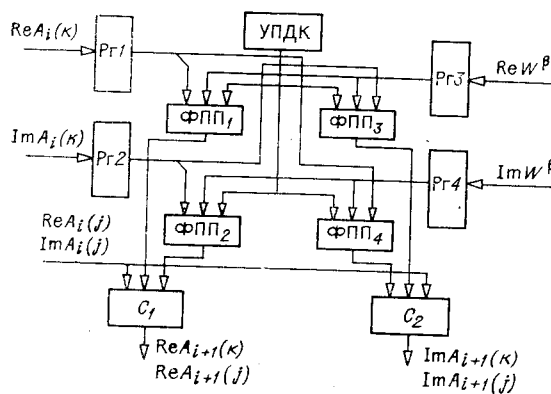


Рис. 1.

Очевидно, что выбор той или иной структуры ОУ во многом определяет как затраты оборудования, так и быстродействие процессоров.

Описанное в \* ОУ имеет отдельные накопители для одновременного образования действительных и мнимых частей результата перемножения. Каждое из действительных произведений, необходимых для формирования результата, получается в собственном сумматоре. На рис. 1 приведена структурная схема ОУ, в которой уменьшен расход оборудования за счет выполнения операции перемножения таким образом, что поразрядные произведения, образовавшиеся при умножении  $\operatorname{Re} A_i(k)$  на  $\operatorname{Re} W^\beta$  и  $\operatorname{Im} A_i(k)$  на  $\operatorname{Im} W^\beta$ ,  $\operatorname{Im} A_i(k)$  на

\* Кван, Шайвли, Гомец, Гилмартин. Специализированный процессор для быстрого решения задач гармонического анализа.— Электроника, 1968, т. 41, № 13.

$ReW^{\beta}$  и  $ReA_i(k)$  на  $ImW^{\beta}$ , складываются в одном сумматоре. Это дает возможность отказаться от использования нескольких накапливающих сумматоров. ОУ содержит: Pr1, Pr2 и Pr3, Pr4 приема реальных и мнимых частей чисел  $A_i(k)$  и  $W^{\beta}$  соответственно, узел управления переводом в дополнительный код (УПДК), формирователи поразрядных произведений ФПП<sub>1</sub>—ФПП<sub>4</sub> и комбинационно-накапливающие сумматоры  $C_1, C_2$ . Умножение может производиться с применением одного из логических методов ускорения. В зависимости от знаков реальной и мнимой частей  $A_i(k)$  и  $W^{\beta}$  и метода умножения УПДК вырабатывает сигналы, управляющие образованием поразрядных произведений в прямом или дополнительном коде.

Объем оборудования ОУ при быстройдействии того же порядка можно значительно сократить, если для выполнения операции перемножения применить последовательно — параллельные множительные устройства (МУ); этим достигается возможность параллельного выполнения всех операций, описанных формулами (1). На рис. 2 изображена структурная схема такого ОУ. Регистры Pr1, Pr2 и Pr5, Pr6 имеют параллельные входы и выходы, предназначенные для связи с оперативным ЗУ, а их последовательные входы и выходы — для приема и выдачи информации в процессе ее обработки. Параллельные входы регистров Pr3 и Pr4

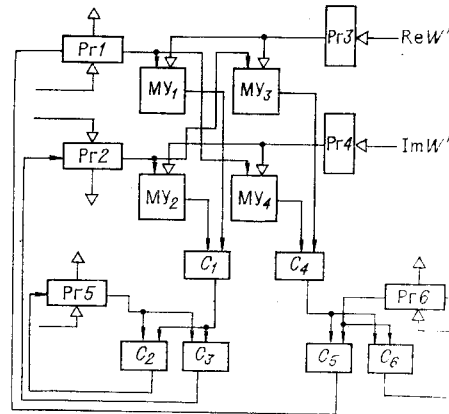


Рис. 2.

служат для приема реальной и мнимой частей  $W^{\beta}$  из постоянного ЗУ.  $C_1, C_2$  — одноразрядные комбинационные сумматоры с элементом задержки на один такт в цепи переносов. Операнды  $A_i(k)$  и  $A_i(j)$  принимаются в регистры Pr1, Pr2 и Pr5, Pr6 соответственно. Множительные устройства МУ<sub>1</sub>—МУ<sub>4</sub> формируют первые и вторые слагаемые выражения (2). Произведения образуются начиная с младшего разряда. По мере образования они поступают на  $C_1$  и  $C_4$ , на выходах которых последовательно появляются разряды реальной и мнимой частей произведения  $A_i(k)W^{\beta}$ . С выхода  $C_1$  информация попадает на первые входы сумматоров  $C_2$  и  $C_3$ , на вторые входы которых из регистра Pr5 младшими разрядами вперед подается реальная часть  $A_i(j)$ . С выхода  $C_4$  информация попадает на первые входы сумматоров  $C_5$  и  $C_6$ , на вторые входы которых поступает  $Im A_i(j)$ . Сумматоры  $C_5, C_6$  и  $C_2, C_3$  образуют реальные и мнимые части  $A_{i+1}(j)$  и  $A_{i+1}(k)$  соответственно, которые по мере их появления записываются в освободившиеся разряды регистров Pr5, Pr2 и Pr1, Pr6. После выполнения этих действий реальная и мнимая части  $A_{i+1}(j)$  содержатся в регистрах Pr5 и Pr1, а  $A_{i+1}(k)$  — в Pr2 и Pr6, откуда они по команде из устройства управления подаются в оперативное ЗУ. Для выполнения одного шага

вычислений такому ОУ необходимо  $N$  тактов, где  $N$  — число разрядов операндов. Под шагом понимается однократное вычисление по (1).

В таблице сравниваются описанные типы ОУ по объему оборудования и быстродействию. Для всех ОУ приняты одинаковыми: время обращения к ЗУ (1 мкс), тактовая частота работы элементов (2,5 МГц), длина разрядной сетки (15 разрядов). Объем оборудования сравнивается относительно затрат стандартных микросхем.

Тип ОУ	Время выполнения одного шага, мкс	Количество оборудования в относительных единицах
С накопителями	6	1,0
С УПДК	6	0,7—0,8
С последовательно-параллельным МУ	12	0,4—0,5
С комбинационным МУ	2—3	1,2—1,5

Наименьшего времени выполнения арифметических операций можно достигнуть, если использовать в ОУ комбинационное МУ. Применение последнего оправдано рядом причин: упрощением местного устройства управления, простотой настройки и диагностики неисправностей и, естественно, значительным повышением быстродействия ОУ.

Поступило в редакцию 28 февраля 1972 г.,  
окончательный вариант — 3 января 1973 г.