

4. Умножение амплитудных значений синусоидальных напряжений $U_1(t)$ и $U_2(t)$

$$N = K_N [U_1(t) U_2(t)]_{\max} \quad (7)$$

осуществляется схемой рис. 1, если в течение первого цикла происходит кодирование амплитуды $U_1(t) \propto N^1$, а во втором цикле преобразования ко входу ПНК ключом Кл12 подключается выходное напряжение U_{N2} ПKN2, равное произведению кода N^1 на амплитудное значение напряжения $U_{2\max}$, подключаемого на время $t_{пр}$ с выхода АЗУ2 на вход ПKN2 ключом Кл7:

$$U_{N2} = K_U N^1 U_{2\max} = K_U K_N U_{1\max} U_{2\max}.$$

Очевидно, что выработанный ПНК на втором цикле преобразования код N'' пропорционален произведению $U_{1\max} U_{2\max}$.

Таким же образом могут быть образованы произведения вида $N = K_N U_{1\max} U_{2\max} \sin \varphi$, $N = K_N U_{1\max} U_{2\max} \cos \varphi$ и многие другие множително-тригонометрические зависимости.

Экспериментально работа схемы рис. 1 не проверялась.

ЛИТЕРАТУРА

1. Универсальные электронные преобразователи информации. Под ред. В. Б. Смоллова. Л., «Машиностроение», 1971.
2. А. И. Кондалев. Системные преобразователи формы информации. Киев, «Наукова думка», 1974.
3. А. Х. Мурсаев, В. Б. Смоллов, Е. П. Угрюмов. Точные ключи, операционные усилители и устройства запоминания напряжений на канальных транзисторах. Л., Изд. ЛДНТП, 1972.

*Поступила в редакцию 9 января 1976 г.;
окончательный вариант — 15 июня 1976 г.*

УДК 681.335.8

Ю. В. КАШТАНОВ, Е. П. УГРЮМОВ

(Ленинград)

МНОГОФУНКЦИОНАЛЬНОЕ ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО КОМПЕНСАЦИОННОГО ИНТЕГРИРОВАНИЯ

Известны функциональные устройства время-импульсного типа, содержащие два управляемых ключами интегратора и блок сравнения [1, 2]. В этих устройствах результат двукратного интегрирования одного из напряжений сравнивается со вторым напряжением. Длительность интервала времени от начала последнего интегрирования до момента наступления равенства является функцией входных напряжений и времени интегрирования. При этом могут быть реализованы операции суммирования, умножения, деления, возведения в квадрат и извлечения из квадратного корня. Однако в таких устройствах результат функционального преобразования зависит от величины емкости интегрирующих конденсаторов, что снижает их точность.

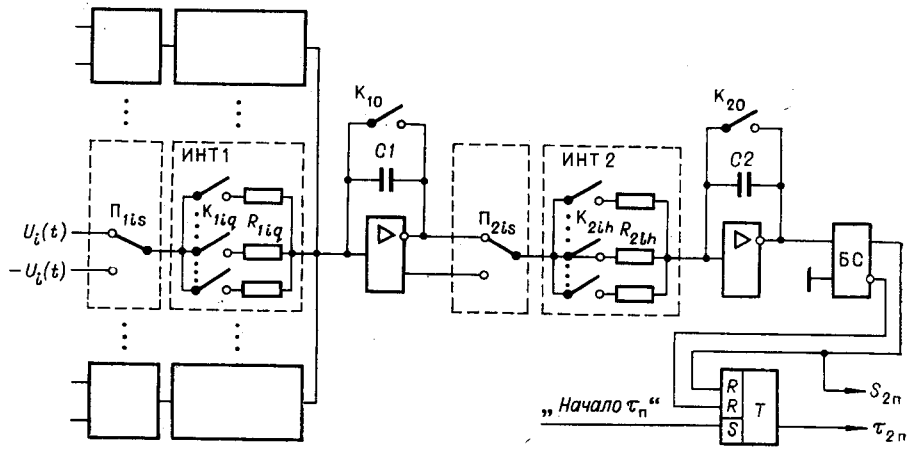


Рис. 1. Схема устройства.

Указанного недостатка не имеет устройство, показанное на рис 1. Это достигается тем, что все входные сигналы-напряжения поступают только на входы первого интегратора (ИНТ1).

В общем случае каждый сигнал-напряжение $U_i(t)$ и его инверсия $-U_i(t)$ ($i=1, 2, \dots$) через переключатель знака интегрирования Π_{1is} подключаются к группе входов. Входы коммутируются ключами K_{1iq} (q — индекс входа внутри группы) и имеют коэффициенты передачи $a_{1iq}=1/R_{1iq}C_1$. Подключение осуществляется устройством управления (на рис. 1 не показано) и может производиться в любом заданном порядке и кратности (e — индекс кратности подключения входа). Сигналы, поступающие на различные группы входов, могут подключаться одновременно. Подключения начинаются в моменты времени t_{1iqe} и продолжаются в интервал времени τ_{1iqe} . В результате при исходном нулевом состоянии интегратора на его выходе формируется напряжение

$$U'_{ин}(t) = \int_{t_0}^t A_{вх}(t) dt,$$

где $A_{вх}(t) = \sum_{i,q,e} s_{1iqe} a_{1iq} U_i(t) [\eta(t - t_{1iqe}) - \eta(t - t_{1iqe} - \tau_{1iqe})]$ — кусочная

функция входных напряжений и коэффициентов передачи коммутируемых входов; s — знак, с которым производится интегрирование; $\eta(t - t_a) = \begin{cases} 1, & t > t_a; \\ 0, & t < t_a \end{cases}$ — единичная функция; t_0 — момент начала интегрирования.

В течение времени моделирования заданной функции каждый раз после интегрирования одного или нескольких входных напряжений ИНТ1 может повторно устанавливаться в нулевое состояние (r — индекс установки в нулевое состояние). Установка производится с помощью ключа K_{10} , начинается в момент времени t_{10r} и продолжается в интервале времени τ_{10r} . С учетом установки в нулевое состояние выходное напряжение ИНТ1 можно представить как

$$U_{ин}(t) = \sum_r [\eta(t - t_{10r} - \tau_{10r}) - \eta(t - t_{10(r+1)})] \int_{t_{10r} + \tau_{10r}}^t A_{вх}(t) dt.$$

Прямой и инверсный выходы ИНТ1 через переключатель знака Π_{2is} соединены с группой входов второго интегратора (ИНТ2), коммутируе-

мых ключами K_{2ih} (h — индекс входа) и имеющих коэффициенты передачи $a_{2ih} = 1/R_{2ih}C_2$. Подключение входов производится в момент времени t_{2ihf} (f — индекс кратности подключения входа) в интервале τ_{2ihf} .

Исходное состояние ИНТ2, как и ИНТ1, нулевое. Оно обеспечивается замыканием ключа K_{20} или сохранением нулевого состояния как результата предыдущего решения. Повторно в нулевое состояние ИНТ2 не устанавливается. С учетом этого выходное напряжение ИНТ2 будет иметь вид

$$U_{2n}(t) = \int_{t_0}^t \sum_{h,f} s_{2ihf} a_{2ih} U_{1n}(t) [\eta(t - t_{2ihf}) - \eta(t - t_{2ihf} - \tau_{2ihf})] dt.$$

Формирование знаков s_{1iqe} и s_{2ihf} , с которыми осуществляется интегрирование, производится выбором полярности входных напряжений интеграторов с помощью переключателей Π_{1is} и Π_{2is} . Знаки всех интегрирований, за исключением последнего, определяются заданной функциональной характеристикой. Знак последнего интегрирования является знаком решения. Он содержится в информации о полярности выходного напряжения ИНТ2, отражаемой логическим уровнем выходного сигнала блока сравнения (БС). Во время последнего интегрирования выходной сигнал БС через устройство управления участвует в определении положений переключателей Π_{1is} и Π_{2is} , которые выбираются из условия приведения результата всех интегрирований к нулю. При этом учитываются также полярности интегрируемых напряжений, которые или известны, или должны быть определены, например, с помощью дополнительных блоков сравнения.

Длительности всех, за исключением последнего, интервалов времени, в течение которых производится интегрирование входных напряжений, задаются извне или определяются параметрами моделируемой функции через устройство управления. Длительность последнего интегрирования формируется на выходе триггера (T). Его начало задается управляющим импульсом «Начало τ_n », который устанавливает триггер в единичное состояние. Триггер возвращается в исходное нулевое состояние фронтом изменения выходного сигнала БС в момент времени, когда выходное напряжение ИНТ2 достигнет нулевого значения, т. е. когда

$$N_{2n}(U_i(t), s_{1iqe}, s_{2ihf}, a_{1iq}, a_{2ih}, t_{1iqe}, t_{2ihf}, \tau_{1iqe}, \tau_{2ihf}) = 0. \quad (1)$$

Решением заданного в неявном виде уравнения (1) является последний интервал времени, формируемый на выходе триггера, и сопровождающий его логический знак — выходной сигнал БС. При этом вид реализуемой функции зависит от того, производится ли подключение входов обоих интеграторов одновременно или последовательно во времени.

Последовательное подключение входов интеграторов означает, что ИНТ2 подключается к выходу ИНТ1 лишь после того, как ИНТ1 перешел в режим хранения, а его выходное напряжение во времени постоянно. При таком включении выражение (1) может быть приведено к виду

$$\sum_{h,f,r,i,q,e} \frac{s_{1iqe} s_{2ihf}}{R_{1iq} R_{2if}} N_1 \{ [F_{1i}(t_{1iqe} + \tau_{1iqe}) - F_{1i}(t_{1iqe})] \tau_{2ihf} \} = 0, \quad (2)$$

где $N_1\{z\} = z$, если $t_{1iqe}, t_{1iqe} + \tau_{1iqe}, t_{2ihf} + \tau_{2ihf} \in [t_{10r} + \tau_{10r}, t_{10(r+1)}]$ и $t_{1iqe} + \tau_{1iqe} \leq t_{2ihf}$; $N_1\{z\} = 0$ в остальных случаях; $F_{1i}(t)$ — первообразная функция от $U_i(t)$.

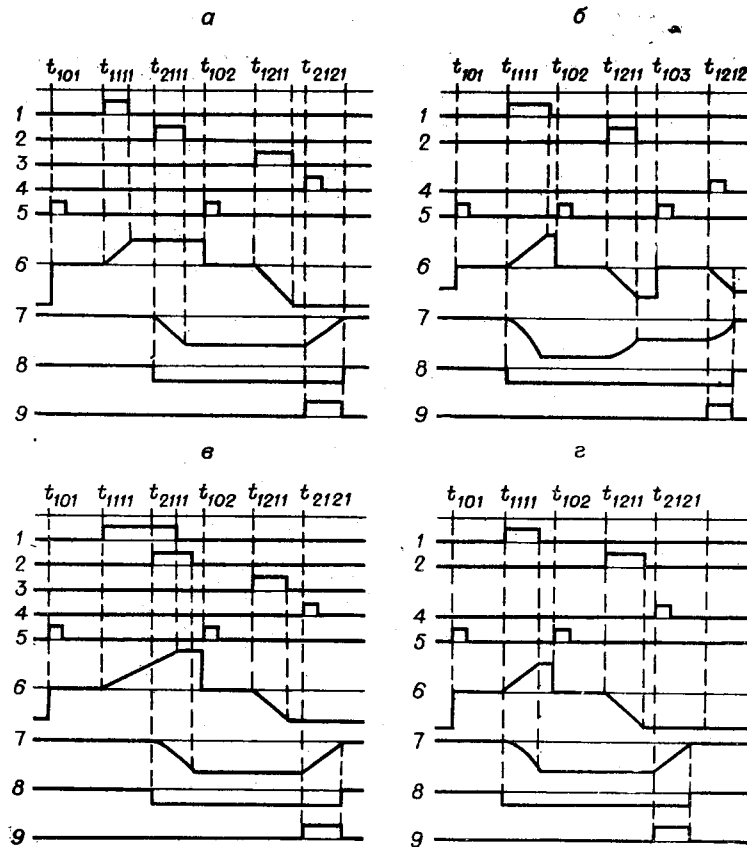


Рис. 2. Диаграммы работы устройства:
 1-3 — входные ИВ; 4 — импульс «Начало $\tau_{п}$ »; 5 — импульсы установки ИНТ1
 в нулевое состояние; 6-8 — выходные сигналы ИНТ1, ИНТ2 и БС; 9 — выход-
 ной ИВ.

Решение уравнения (2) (последний интервал времени) может быть представлено суммой слагаемых типа

$$\frac{s_{1iqe} s_{2ih} R_{1п} R_{2п} [F_{1i}(t_{1iqe} + \tau_{1iqe}) - F_{1i}(t_{1iqe})]}{s_{1п} s_{2п} R_{1iq} R_{2ih} [F_{1п}(t_{1п} + \tau_{1п}) - F_{1п}(t_{1п})]},$$

где p — индекс величин последнего слагаемого уравнения (1), реализующих при $U_i(t) = \text{const}$ множительно-делительную операцию. Пример работы устройства при моделировании такой операции рассмотрен ниже. Работа поясняется диаграммой (рис. 2, а).

Исходное состояние обоих интеграторов любое. В момент времени t_{101} и t_{201} (на рис. 2, а они совпадают) управляющими импульсами τ_{101} и τ_{201} оба интегратора устанавливаются в нулевое состояние. Затем в момент времени t_{1111} замыкается ключ K_{111} , подключая источник U_1 на время τ_{1111} ко входу ИНТ1. Здесь и далее будет иметься в виду, что каждое подключение входа сопровождается выбором заданной полярности входного напряжения с помощью переключателей Π_{1is} и Π_{2is} . Напряжение на выходе ИНТ1 линейно изменяется, а затем по истечении τ_{1111} остается постоянным. В интервале времени τ_{2111} выход ИНТ1 через ключ K_{211} подключается ко входу ИНТ2. В момент t_{102} управляющим импульсом τ_{102} ИНТ1 вторично устанавливается в нулевое состояние, а в момент t_{1211} его второй вход на время τ_{1211} подключается к источнику входного напряжения U_2 . В момент времени t_{2112} импульсом «На-

чало τ_n » триггер устанавливается в единичное состояние и одновременно замыкается ключ K_{211} , подключая выход ИНТ1 ко входу ИНТ2. Выбор полярности подключаемого напряжения определяется полярностью выходного напряжения ИНТ2, информация о которой содержится в выходном сигнале БС. Выходное напряжение ИНТ2 уменьшается и при $(t_{2112} + \tau_{2112})$ достигает нулевого значения. Фронтом изменения выходного сигнала БС триггер возвращается в исходное состояние. При этом интервале τ_{2112} , в течение которого триггер находился в единичном состоянии, и знак s_{2112} определяется как

$$s_{2112}\tau_{2112} = -(s_{1111}s_{2111}R_{121}U_1\tau_{1111}\tau_{2111}) / (s_{1211}R_{111}U_2\tau_{1211}). \quad (3)$$

Все величины, входящие в (3), и их отношения могут выступать в качестве аргументов множительно-делительной операции и, следовательно, в качестве входных сигналов. Величины, не выступающие в качестве аргументов, формируют масштабный коэффициент. Особенностью решения (3) является его независимость от коэффициента передачи ИНТ2. Это объясняется тем, что при всех интегрированиях использовался только один вход этого интегратора.

Одновременное подключение входов интеграторов означает, что ИНТ2 подключается к выходу ИНТ1 одновременно с подключением ИНТ1 к источнику входного напряжения. Если считать, что после каждого интегрирования ИНТ1 устанавливается в нулевое состояние (тем самым исключается уже рассмотренный случай последовательного подключения), то основное уравнение (1) примет вид

$$\sum_{h,f,i,q,e} \frac{s_{1iqe}s_{2ihf}}{R_{1iq}R_{2ih}} N_2 \{F_{2i}(t_{2ihf} + \tau_{2ihf}) - F_{2i}(t_{2ihf}) - F_{1i}(t_{1iqe})\tau_{2ihf}\} = 0, \quad (4)$$

где $N_2\{z\} = z$, если $t_{1iqe} = t_{2ihf}$ и $\tau_{1iqe} = \tau_{2ihf}$; $N_2\{z\} = 0$ в остальных случаях; $F_{2i}(t)$ — первообразная от $F_{1i}(t)$.

Решения уравнения (4) в явном виде в общем случае не существуют. В частных же случаях оно имеет место. Например, если все $U_i(t)$ являются напряжениями постоянного тока, то решение выражается как корень квадратный из суммы слагаемых вида

$$s_{1iqe}s_{2ihf}R_{1п}R_{2п}U_i\tau_{1iqe}^2/s_{1п}s_{2п}R_{1iq}R_{2ih}U_п.$$

Пример реализации такой функции для двух слагаемых поясняется диаграммой (см. рис. 2, б).

Смешанное подключение входов интеграторов соответствует условию частичного перекрытия интервалов времени подключения обоих интеграторов. Особенностью характеристик, получаемых при таком подключении, является их зависимость от моментов подключения, если даже входные напряжения во времени постоянны. Например, при работе устройства в соответствии с диаграммой (см. рис. 2, в) моделируется зависимость

$$\tau_{2121} = -s_{1111}s_{2111}R_{121}R_{212}U_1[2\tau_{1111}(t_{2111} - t_{1111} + \tau_{2111} - \tau_{1111}) - (t_{2111} - t_{1111})^2] / s_{1211}s_{2121}R_{111}R_{211}U_2\tau_{1211}.$$

К дальнейшему расширению функциональных возможностей устройства приводит использование в одном решении различных сочетаний рассмотренных типов подключений. Так, например, если напряжение U_1 интегрируется обоими интеграторами одновременно, а напряжение U_2 — последовательно во времени (см. рис. 2, г), то для $U_1, U_2 = \text{const}$ формируется функция

$$\tau_{2121} = -s_{1111}s_{2111}R_{121}R_{212}U_1\tau_{1111}^2 / s_{1211}s_{2121}R_{111}R_{211}U_2\tau_{1211}.$$

Если же порядок интегрирования изменить на обратный, то обратной становится и формируемая функция

$$\tau_{2121} = [-2s_{1111}s_{2111}R_{121}R_{212}U_1\tau_{1111}\tau_{2111} / s_{1211}s_{2121}R_{111}R_{211}U_2]^{1/2}.$$

Функциональные возможности рассматриваемого устройства гораздо шире, чем приведенные примеры. Можно показать, что с помощью таких устройств могут быть реализованы операции кусочно-линейной и кусочно-параболической аппроксимации, определения корней квадратного уравнения, нелинейного преобразования изменяющихся во времени входных напряжений. Все моделируемые функции многоаргументные с многовидовым представлением входных сигналов: напряжение, интервал времени, сопротивление (проводимость) масштабного резистора.

Как следует из приведенных, моделируемых данным устройством функциональных зависимостей, все они не зависят от значения емкости интегрирующих конденсаторов, а сопротивления масштабных резисторов входят в них лишь во взаимном отношении. Такой результат — следствие того, что все входные напряжения обязательно интегрируются обоими интеграторами, а сумма всех интегрирований приводится к нулю. При этом дрейф значения емкости приводит к пропорциональному изменению всех членов суммы (1) и, следовательно, значения этой суммы не нарушает. К этому же приводит и пропорциональное изменение сопротивлений масштабных резисторов, входных напряжений и интервалов времени. Если же в интеграторе используется только один вход, то решение не зависит также и от величины масштабного резистора этого входа.

Такая особенность устройства позволяет рассматривать его как компенсационное. Причем способность интеграторов сохранять результаты предыдущих интегрирований позволяет получить компенсацию более высокого типа, чем та, которая имеет место в обычных мостовых устройствах, так как компенсируются сигналы, подвергшиеся функциональному преобразованию на одних и тех же элементах схемы. Вследствие этого не только дрейф общего источника входных напряжений и генератора входных интервалов времени, но и дрейф самих элементов полностью или частично компенсируется. Все это, а также высокая помехоустойчивость, обусловленная процессом интегрирования, обеспечивает высокие метрологические свойства рассмотренного устройства компенсационного интегрирования.

В соответствии с изложенными принципами была разработана практическая схема и проведены ее испытания, которые полностью подтвердили указанные качественные особенности устройства.

ЛИТЕРАТУРА

1. Г. Корн, Т. Корн. Электронные аналого-цифровые вычислительные машины. Ч. 2. М., «Мир», 1968.
2. В. Л. Славинский, А. Г. Быков. Устройство для извлечения корня квадратного. — Авт. свид-во № 200904, БИ, 1967, № 17.

*Поступила в редакцию 11 мая 1975 г.;
окончательный вариант — 29 мая 1976 г.*

УДК 621.317.72

Н. И. ЖЕЛУДКОВ, В. А. КАРЕЕВ, В. В. МЕЕР

(Рязань)

АНАЛОГОВАЯ АВТОКОРРЕКЦИЯ АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ С ДИФФЕРЕНЦИАЛЬНЫМ ИНТЕГРАТОРОМ

В структуре аналого-цифрового преобразователя (АЦП) с дифференциальным интегратором (ДИ), как известно [1], снижается абсорбционная составляющая погрешности, однако усложняется коррекция