

высокочастотным кабелем, а согласующий резистор в этом случае располагается на конце кабеля.

БВДИ размещен в модуле шириной 6 М и содержит три платы. Каналы выполнены в модулях шириной 2 М на одной плате. На плате каждого канала размещено 80 микросхем.

Таким образом, в настоящей работе предложена структурная схема многофункциональной цифровой аппаратуры, реализованной в стандарте САМАС. Она позволяет формировать высокостабильные интервалы и измерять одиночные временные интервалы до 10 нс с дискретностью 10 нс, генерировать кварцованные последовательности импульсов от 100 Гц до 50 МГц и измерять частоты импульсов до 100 МГц.

#### ЛИТЕРАТУРА

1. Нестерихин Ю. Е., Гинзбург А. Н., Золотухин Ю. Н., Искольдский А. М., Лившиц З. А., Постоевко А. К. Организация систем автоматизации научных исследований. — «Автоматрия», 1974, № 4, с. 3—9.
2. Мелешко Е. А. Интегральные схемы в наносекундной ядерной электронике. М., Атомиздат, 1977.
3. Ведерников В. М., Кирьянов В. П., Кокшаров М. А. Шестиканальный генератор задержанных импульсов. — «Автоматрия», 1973, № 6, с. 91—94.
4. Базиладзе С. Г., Глачала В. Управляемый блок задержки наносекундного диапазона в стандарте САМАС. Препринт, № 13-7601, Дубна, изд. ОИЯИ, 1974.

*Поступила в редакцию 2 февраля 1978 г.*

УДК 772.99

**Б. А. БРЕЙТМАН, И. И. КОРШЕВЕР, И. Г. РЕМЕЛЬ**

*(Новосибирск)*

#### **МИКРОПРОГРАММИРУЕМЫЙ ВЕКТОРНЫЙ ПРОЦЕССОР В СТАНДАРТЕ САМАС**

В системах автоматизации исследований, находящихся в стадии, когда математическое обеспечение, реализующее обработку экспериментальной информации, само является объектом эксперимента, разработка специализированных процессоров нередко оказывается неоправданной. Вместе с тем объем вычислений, необходимых для получения результата эксперимента, достигает зачастую такой величины, что разрыв между полученными исходными данными и результатов их обработки дезорганизует сам эксперимент и затрудняет интерпретацию его результатов. В этом положении, в частности, находится вся техника обработки изображений, машинные эксперименты в которой весьма длительны и где в отличие от техники обработки одномерных сигналов не накопилось еще так называемого «рутинного» математического обеспечения, которое было бы целесообразно реализовывать в аппаратных средствах. В таких задачах целесообразно использование микропрограммирования как компромисса между аппаратными и программными средствами.

Процессор, строящийся по микропрограммному принципу, содержит обычно набор модулей, управляемых программно с помощью контроллера. Язык среднего уровня, хранящийся в управляющей памяти контроллера — это язык микропрограмм. В задачах обработки изображений этот язык реализует операции над векторами (строками или столб-

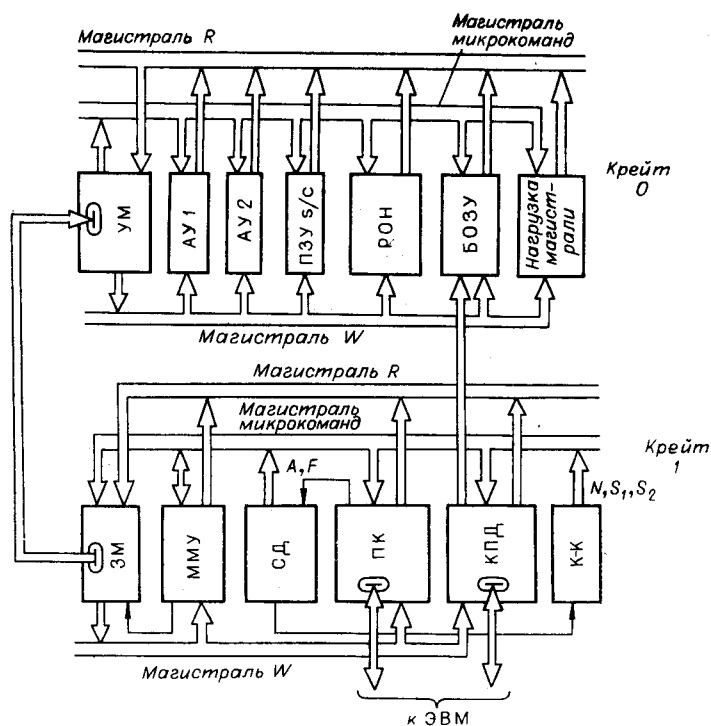


Рис. 1. Функциональная схема системы.

цами) двумерного массива, и поэтому такие процессоры получили название векторных [1—3].

Некоторые потери в быстродействии, неизбежные при замене аппаратных решений микропрограммными, окупаются программной гибкостью, удобством отладки и развития системы. В более широком смысле подобная архитектура является прообразом будущих систем цифровой обработки, представляющих собой набор микропрограммно управляемых специализированных процессорных секций, наращиваемых на магистраль центрального микропроцессора.

В работе описан векторный процессор, созданный в 1976 г. в СКБ НП СО АН СССР для восстановления цифровых голограмм.

На рис. 1 приведена структурная схема системы. В основу ее архитектуры положен международный стандарт САМАС [4], в соответствии с которым процессор представляет собой набор асинхронных модулей, функционирование и обмен данными между которыми осуществляются программно от ЭВМ (в разработанной системе — от ЭВМ «Электроника-100») через контроллер или непосредственно от контроллера.

Хотя каждый модуль системы удовлетворяет стандарту САМАС, ограничение управления только этими правилами, разработанными для систем сбора, существенно снизило бы быстродействие процессора. Поэтому в архитектуру процессора введен ряд деталей, позволяющих, не разрушая стандарта, значительно повысить быстродействие. Существование этих деталей будет ясно из дальнейшего описания.

Ниже приводится перечень и описание модулей системы: краткое — для системной части, поскольку здесь модули малоспецифичны, и более подробное — для процессорных модулей.

#### Системные модули.

1. Крейт-контроллер (К-К) стандартный (типа А [4]).
2. Программный канал (ПК) осуществляет двусторонний обмен данными между ЭВМ и магистралью САМАС, а также загрузку

системного драйвера (см. ниже) микрокомандами САМАС (NaF — "Number", "Adress", "Function"). Модуль управляется программно от ЭВМ.

3. *Системный драйвер (СД)* предназначен для модификации команд ЭВМ «Электроника-100» в команды САМАС и участвует в обмене данными между ЭВМ и магистралью САМАС, мультиплексируя 12-разрядное слово ЭВМ в верхнюю или нижнюю зону шин  $R$  (чтения) и  $W$  (записи) магистрали.

4. *Канал прямого доступа (КПД)* осуществляет общую синхронизацию системы САМАС — ЭВМ, а также прямой обмен данными между БОЗУ системы и МОЗУ ЭВМ. Для того чтобы необходимая последовательность адресов, задаваемых в адресные регистры БОЗУ и МОЗУ, генерировалась с быстродействием КПД (цикл обращения к МОЗУ «Э-100» — 2 мкс), система обмена организована по двухадресному принципу. Адрес обращения к МОЗУ генерируется с помощью специального двухкоординатного счетчика, который по команде операции от ЭВМ перестраивается структурно таким образом, что инкрементное обращение к двумерному массиву, хранящемуся в ЭВМ, может осуществляться по вектору по его столбцам или по строкам. Входные регистры БОЗУ также функционально относятся к КПД. Одновременно с перестройкой структуры индексного счетчика МОЗУ и от того же программного слова происходит перестройка структуры индексного устройства.

В КПД, кроме того, расположена схема, анализирующая максимальный порядок двумерного массива между итерациями системного уровня в алгоритме.

5. *Закоротка магистрали (ЗМ)* предназначена для объединения шин  $R$  и  $W$  с целью реализации одноктактного обмена между модулями. Другой режим модуля обеспечивает стандартный двухтактный обмен.

6. *Усилитель мощности (УМ)* разделяет нагрузки на магистрали и усиливает мощность магистральных сигналов, тем самым позволяя объединить два крейта САМАС без использования обычной в многокрейтовых системах ветви.

#### **Процессорные модули.**

7. *Регистры общего назначения (РОН)* (4 регистра по 24 разряда) предназначены для временного хранения операндов и для осуществления сдвига на 1 разряд влево. Обмен данными с магистралью и управление могут осуществляться как по дополнительному разъему, так и по магистрали. К одному из этих регистров можно обращаться раздельно по его 12-разрядным зонам.

8. *Модуль тригонометрических констант (МТК)* генерирует комплексные тригонометрические константы

$$W_N(A) = \cos(2\pi/N)A \pm j \sin(2\pi/N)A$$

по 6-разрядному коду адреса  $A$ . Знак мнимой части задается микропрограммно, а само 24-разрядное слово имеет в качестве старших 12 разрядов действительную, а в качестве младших — мнимую часть операнда  $W(A)$ . Индексная часть ПЗУ выполнена так, что возможен инкрементный перебор адресов по произвольному основанию экспоненциальной константы, задаваемому от регистра итераций.

Кроме того, МТК (точнее, его выходная часть) осуществляет 8 типов преобразования 24-разрядного комплексного операнда, засылаемого по магистрали в рассмотренном выше формате, соответствующих повороту исходного или сопряженного ему вектора на  $K\pi/4$  ( $K=0, 1, 2, 3$ ). Младший разряд индексного счетчика с помощью этой выходной части задает в качестве выходного числа в четных адресах  $W(\alpha)$ , а в нечетных —  $jW(\alpha)$ , что необходимо для перемножения комплексных чисел.

9. *Модуль арифметического устройства (АУ)* выполняет следующие арифметические операции:

- сложение/вычитание двух 24-разрядных чисел (время операции 400 нс);
- сложение числа с предыдущей суммой (накопление);
- умножение двух 12-разрядных чисел (время получения результата 6 мкс);
- то же с одновременным сложением полученного произведения с предварительно занесенным числом или результатом предыдущей операции (накопление произведений);
- сдвиг на заданное число разрядов в любую сторону (время сдвига — 2 мкс).

Набор команд обращения к модулю расширен за счет использования псевдоадресов. Так, обращение по субадресу  $A5$  с командами  $F(0)$ ,  $F(16)$ ,  $F(25)$ , кроме стандартного содержания [4], вызывает операцию сложения, а по субадресу  $A7$  с теми же командами — умножения. Это позволило совместить время, затрачиваемое на загрузку модуля, с временем, необходимым на задание исполнительной команды.

Для повышения быстродействия в основных алгоритмах в систему включены два идентичных арифметических модуля, отличающихся лишь тем, что множителями в них являются данные с верхних или нижних разрядов магистрали соответственно.

10. *Модуль микропрограммного управления (ММУ)* содержит магнитоферритовое ПЗУ с электрической перезаписью информации от ЭВМ или ручного контроллера объемом 128 36-разрядных слов, а также аппаратные средства организации программных ветвлений, циклов, ожиданий и условных переходов.

Команда векторной операции КВО (макрокоманда), приходящая из ЭВМ по программному каналу, содержит начальный адрес микропрограммы. При отработке микропрограммы ММУ осуществляет пуск контроллера и генерирует последовательность микрокоманд, которые содержат стандартную САМАС-часть (NAF) и передаваемые через вспомогательный разъем разряды, осуществляющие прямое управление некоторыми исполнительными цепями системы и содержащие второй адрес при двухадресном обмене. Формат микрокоманды приведен в табл. 1.

11. *Буферное оперативное запоминающее устройство (БОЗУ)* объемом 64 24-разрядных слова выполнено таким образом, что оно, с одной стороны, находясь в КПД, может напрямую обмениваться данными с МОЗУ ЭВМ, а с другой — являясь модулем САМАС, — с любым модулем системы с помощью контроллера.

Адресная часть БОЗУ выполнена в виде индексного счетчика (ИСч) (рис. 2), перестраиваемого от команды КВО, поступающей из программного канала в соответствии с задаваемой алгоритмом последовательностью адресов обращения. Перестройка осуществляется маскированием одного из разрядов счетчика, исключаяющим маскируемый разряд из счета, а в алгоритме БПФ, кроме того, на его место коммутируется разряд  $(A/B)$ , организующий последовательное обращение к паре операндов. Предусмотрено шесть типов таких адресных последовательностей:

- 1) быстрое преобразование Фурье;
- 2) операция между верхней и нижней зонами БОЗУ;
- 3) инкрементное обращение;
- 4) ввод-вывод комплексных операндов;
- 5) ввод-вывод действительной компоненты операндов;
- 6) ввод-вывод мнимой компоненты операндов.

В режимах 1—3 тип обращения определяется самим индексным устройством, а в режимах 4—6 — микропрограммным словом.

**Работа процессора.** Управление процессором удобно рассматривать сосредоточенным на трех уровнях. Нижний уровень управления — это

Таблица I

Номер микрокоманд	Содержание микрокоманды	
1—5	„Number“	САМАС
6—9	„Adress“	
10—14	„Function“	
15	Цикл	
16—17	Управление закороткой магистрали	
18—21	Управление индексным устройством БОЗУ	
22—23	Управление индексным устройством МТК	
24—29	Управление буферными регистрами	
30—33	Управление регистрами АУ и КПД	
34	Прием в АУ прямо или со сдвигом	
35	Резерв	
36	Блокировка программы	

микрокоманды, стандартные для процедур на магистрали САМАС. Средний уровень — это макрокоманды, задаваемые от модуля микропрограммного управления контроллера. Верхний (системный) уровень — это последовательность макрокоманд, хранящихся в памяти ЭВМ, организующих выполнения алгоритма и функционирование системы в целом.

*Средний уровень.* Основные модули процессора отвечают требованиям системы САМАС в части адресации, управления и контроля состояния. Наличие программного канала с ЭВМ достаточно для того, чтобы с помощью программы, заложенной в ЭВМ, и специального транслятора, модифицирующего машинные команды ЭВМ в команды САМАС, осуществлять все необходимые вычислительные алгоритмы. При этом ЭВМ оперирует с модулями процессора на уровне микрокоманд САМАС, как со своими специализированными внешними устройствами. Однако такой режим работы оказывается слишком медленным для реализации базовых алгоритмов в задачах реального времени в силу ограниченной пропускной способности программного канала связи с ЭВМ. Выгрузка одной микрокоманды из «Э-100» происходит за 6 мкс, операция обмена данными между модулями требует 12 мкс. Существенное увеличение быстродействия достигается выносом средств микропрограммного управления непосредственно в процессор. В этом случае

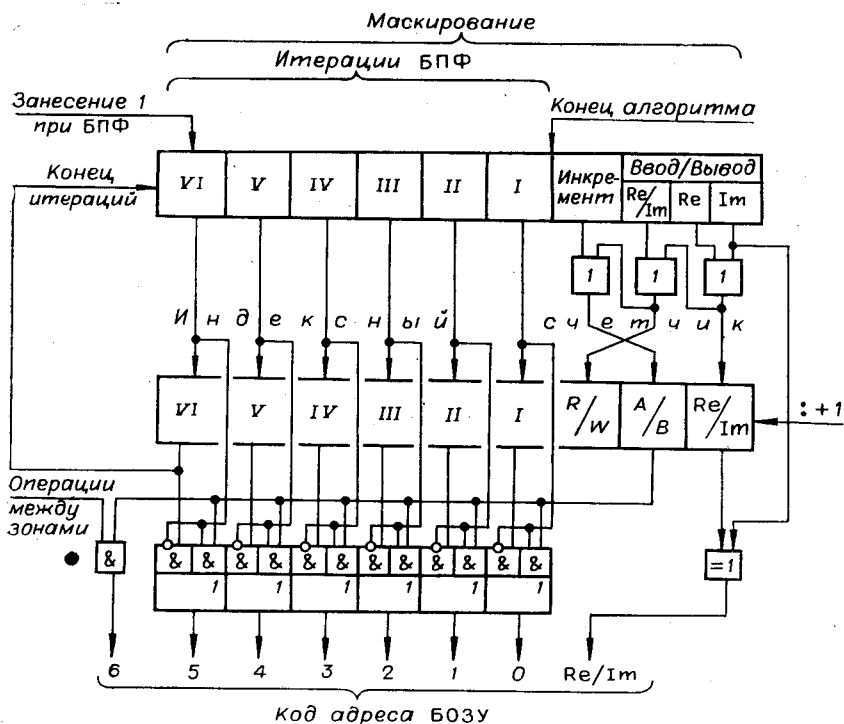


Рис. 2. Функциональная схема индексного устройства БОЗУ.

ЭВМ оперирует с процессором на уровне макрокоманд (КВО). Применение процессора микропрограммного управления на основе ПЗУ, который выгружает одну макрокоманду за 1 мкс, позволило сократить время обмена между модулями до 2 мкс. Дальнейшее повышение быстродействия в 2 раза достигается путем прямого обращения от модуля к модулю, минуя регистр обмена. С этой целью в расширенное микропрограммное слово, в дополнение к стандартному слову NAF, введены адреса некоторых модулей, часто участвующих в обмене, а в момент обмена происходит объединение шин R и W. Этими средствами обеспечивается двухадресное обращение к модулям. Кроме того, в микропрограммное слово включены элементы управления цепями, исполняющими часто реализуемые функции: функцию управления микропрограммой, привод индексных счетчиков ПЗУ/с и БОЗУ, задание типа обращения к регистрам и БОЗУ, переключение и др. (см. табл. 1).

На рис. 3 показано действие микропрограммы, реализующей базовую операцию алгоритма БПФ. В системе использован алгоритм с прореживанием по частоте [5], в соответствии с которым на каждой операции реализуются следующие вычисления (см. рис. 3, а):

$$A^{(i+1)} = A^{(i)} + B^{(i)}; \quad (1a)$$

$$B^{(i+1)} = (A^{(i)} - B^{(i)}) W(\alpha), \quad (16)$$

где

$$W(\alpha) = \cos \alpha - \varepsilon \sin \alpha;$$

$$\varepsilon = \begin{cases} +1 & \text{для прямого БПФ;} \\ -1 & \text{для обратного БПФ.} \end{cases}$$

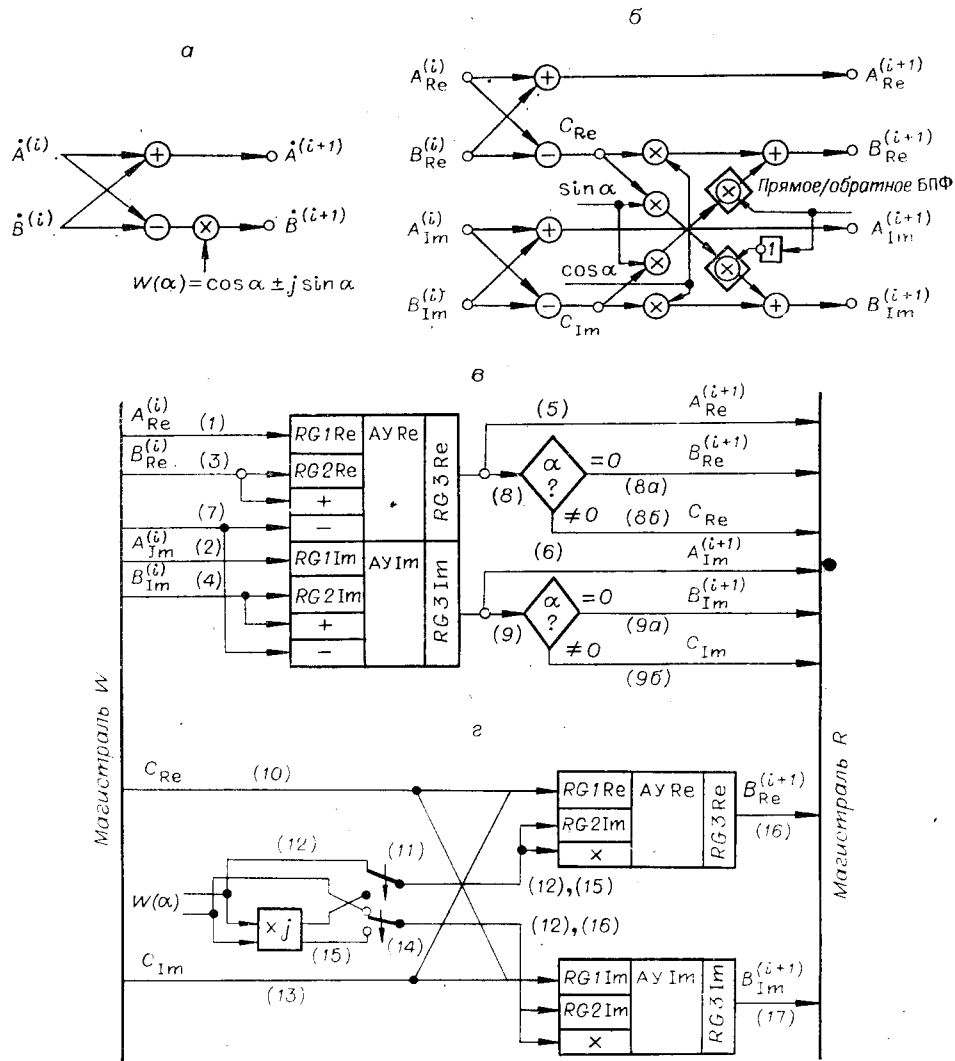


Рис. 3. Реализация базовой операции алгоритма БПФ:  
 а, б — сигнальный граф базовой операции, в, г — две фазы реализации микропрограммы.

Приведем те же вычисления в компонентном представлении (см. рис. 3, б):

$$A_{\text{Re}}^{(i+1)} = A_{\text{Re}}^{(i)} + B_{\text{Re}}^{(i)}; \quad (2a)$$

$$A_{\text{Im}}^{(i+1)} = A_{\text{Im}}^{(i)} + B_{\text{Im}}^{(i)}; \quad (2б)$$

$$C_{\text{Re}}^{(i+1)} = A_{\text{Re}}^{(i)} - B_{\text{Re}}^{(i)}; \quad (2в)$$

$$C_{\text{Im}}^{(i+1)} = A_{\text{Im}}^{(i)} - B_{\text{Im}}^{(i)}; \quad (2г)$$

$$B_{\text{Re}}^{(i+1)} = C_{\text{Re}} \cos \alpha + \varepsilon C_{\text{Im}} \sin \alpha; \quad (3a)$$

$$B_{\text{Im}}^{(i+1)} = \varepsilon C_{\text{Re}} \sin \alpha + C_{\text{Im}} \cos \alpha. \quad (3б)$$

Микропрограмма реализуется за две фазы, каждая из которых составляет 9 шагов. В течение первой фазы (см. рис. 3, в) производятся вычисления по формулам (2а), (2б), причем если  $\alpha=0$  и, следовательно,  $W(\alpha)=1$  и  $\dot{C}=B^{i+1}$ , то необходимость в дальнейших вычислениях

Номер КВО	Содержание КВО
1—7	Предустанов ПЗУ ММУ
8	Строка
9	Столбец
10	Весь массив
11	Двоично-инверсная последовательность
12	Прямая последовательность

отпадает. В противном случае компоненты  $C$  через магистраль  $R$  направляются в буферные регистры, откуда во второй фазе микропрограммы (см. рис. 3,  $z$ ) поступают поочередно на оба АУ для вычислений по формуле

$$\dot{B} = C_{\text{ре}} \dot{W}(\alpha) + C_{\text{им}} [j \dot{W}(\alpha)].$$

При этом необходимость в суммировании по формулам (3а), (3б) отпадает, поскольку в каждом модуле АУ умножение производится с накоплением предыдущего произведения.

На рис. 3,  $v$ ,  $z$  на функциональной схеме проставлены номера шагов микропрограммы, на которых осуществляются обозначенные пересылки и функции.

Время выполнения базовой операции в среднем (учитывая сокращения цикла в части операции) [5]  $\sim 22$  мкс.

*Верхний уровень.* Функционирование процессора полностью определяется командой векторной операции (табл. 2), осуществляющей предустанов ПЗУ и коммутацию индексного устройства МОЗУ. Задача восстановления цифровых голограмм по алгоритму преобразования Френеля потребовала следующего списка команд:

- перезапись из МОЗУ в БОЗУ;
- перезапись из БОЗУ в МОЗУ;
- алгоритм быстрого прямого и обратного преобразования Фурье;
- генерирование линейно-частотно-модулированной комплексной тригонометрической функции с заданной фазовой характеристикой (в преобразовании Френеля этот параметр аналогичен наведению на резкость в фотографии [6]);
- перемножение комплексных чисел, хранящихся в двух зонах БОЗУ;
- определение квадрата модуля комплексных чисел;
- вывод комплексного массива из БОЗУ на цифроаналоговые преобразователи (для индикации в виде графика на осциллографе):
- возможен отдельный вывод компонент;
- запись из ПЗУ/с (МТК) в БОЗУ последовательности тригонометрических констант используется для тестирования;
- нормализация массива; порядок, на который необходимо сместить влево каждое число массива, образуется в модуле КПД к концу каждой системной (двумерной) итерации.

На рис. 4 приведена блок-схема программы ЭВМ, реализующей преобразование Френеля. Номера в скобках приводят каждую микропрограмму в соответствие рассмотренному выше списку векторных операций. Сам алгоритм в матричной форме имеет следующий вид\* [6]:

$$\|Fr(\rho_x, K_y)\|_N = \Phi D_x \|f(\xi_x, K_y)\|. \quad (4)$$

Здесь  $\rho_x$  и  $\xi_x$  — фиксированные значения переменных  $r_x$  и  $K_x$  соответственно,

$$\Phi = \|W_N(rK)\| = \|\cos(2\pi/N)rK - j \sin(2\pi/N)rK\|$$

\*В соответствии с [5]

$$Fr = D\Phi D \|f(K_x, K_y)\| D\Phi D.$$

Внешние диагональные матрицы здесь упущены, так как результатом вычислений является поле интенсивности, для которого фаза не имеет значения.



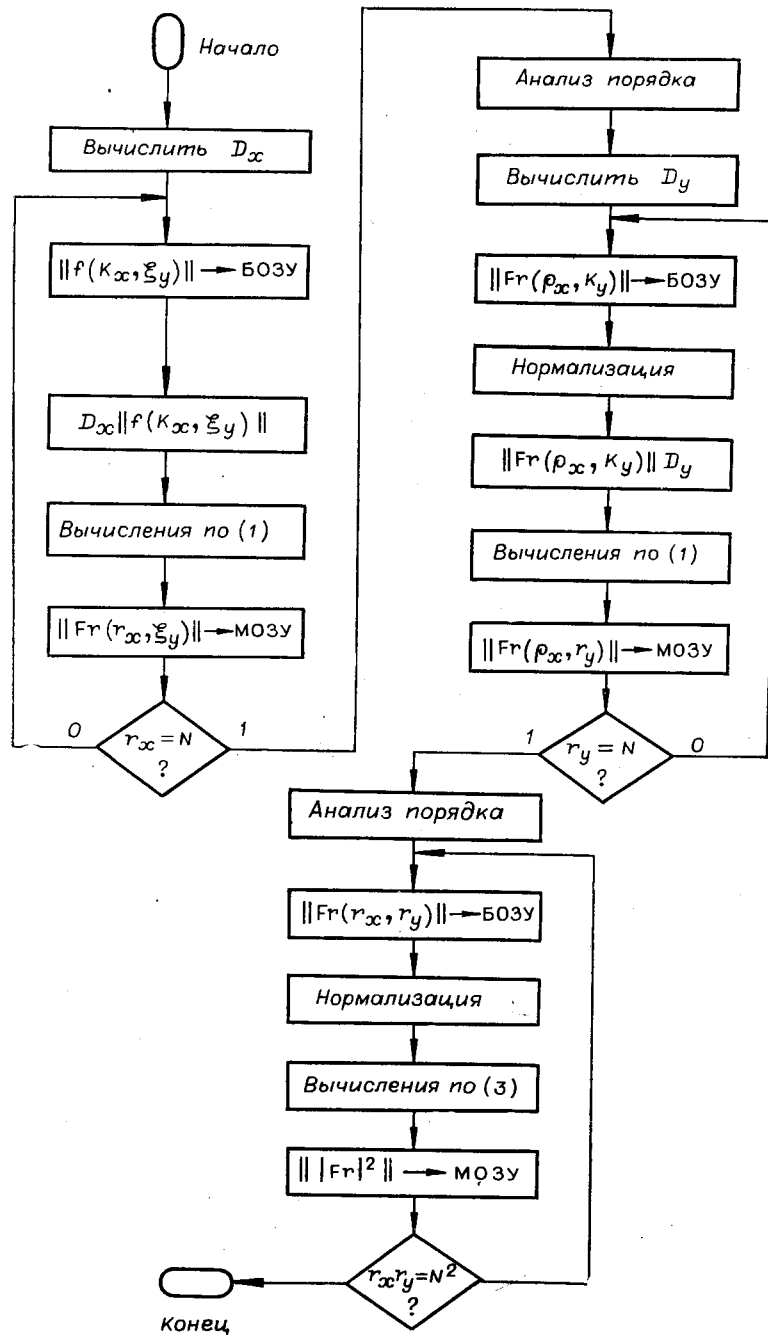


Рис. 4. Блок-схема программы восстановления цифровой голограммы.

— матрица Фурье-коэффициентов;

$$D_x = \| W_N (\alpha_x K^2 + \beta_x K) \|$$

— диагональная матрица, в которой  $\alpha_x = \Delta_x^2 / 2\lambda N d$  задает упомянутую выше фазовую характеристику ( $\Delta_x$  — шаг квантования исходной голограммы,  $\lambda$  — длина волны опорного излучения,  $d$  — расстояние от

источника до объекта;  $\beta_x$  задает смещения восстановленного изображения.

После повторения (4) по всему множеству  $K_x$  следует

$$\|Fr(r_x, r_y)\| = \|Fr(r_x, K_y)\| D_y \Phi, \quad (5)$$

где

$$D_y = \|W_N(\alpha_y K^2 + \beta_y K)\|,$$

и, наконец,

$$|Fr|^2 = \|Fr(r_x, r_y) Fr(r_x, r_y)\|. \quad (6)$$

Поскольку все итеративные операции внутри алгоритма реализуются с помощью арифметики с фиксированной запятой, то после каждой такой итерации во избежание переполнения разрядной сетки осуществляется безусловный сдвиг всех операндов вправо на один разряд. При таком примитивном масштабировании большая глубина алгоритма привела бы к выходу операндов за пределы разрядной сетки вправо еще до окончания алгоритма. Во избежание этого каждый матричный этап сопровождается контролем максимального порядка операнда (действительной или мнимой его части), а в начале следующей матричной операции — нормализацией всего двумерного массива (в начале каждой векторной операции) по этому максимальному порядку.

Описанная система и специальный мнемокод, разработанный для ЭВМ «Э-100», позволяют в принципе решать и другие задачи обработки как одномерных, так и двумерных массивов. Конфигурация системы под эту задачу реализуется в программе ЭВМ, а после ее отработки — в процессоре микропрограммного управления.

Развитие системы представляется целесообразным в следующих направлениях:

- а) расширение объема оперативной и полупостоянной памяти;
- б) аппаратная реализация умножения и сложения операндов в нормализованном представлении за время, равное одному циклу обмена в магистрали (1 мкс);
- в) развитие среднего уровня управления на основе микропрограммной реализации элементарных операндов стандартного языка высокого уровня.

#### ЛИТЕРАТУРА

1. Blankenship P. E., Huntoon A. H., Sterrino V. J. LSP-2 programmable signal processor.—“Proc. Nat. Electron. Conf.”. Chicago, Ill., Oak Brook, Ill., 1974, vol. 29, p. 416—421. (ЭИ. ВТ, 1976, № 2, реф. № 7).
2. Cohler E. U. A quick tour through digital signal processing hardware.—“NEREM-73 Rec.” N. Y., Boston, 1973, P. 2, p. 31—41.
3. Innat J. P., Rausher T. G., Shay B. P., Smith H. H., Smith W. R. The use of two level of parallelism to implement an efficient programmable signal processing computer.—“Proc. Sagamore Comput. Conf. Parallel Process.”, 1973, p. 113—119.
4. Колпаков И. Ф. Электронная аппаратура на линии с ЭВМ в физическом эксперименте. М., Атомиздат, 1974.
5. Голд Б., Рэйдер Ч. Цифровая обработка сигналов. М., «Сов. радио», 1973, гл. VII.
6. Хуанг Т. Цифровая голография.— В кн.: Применение голографии. М., «Мир», 1973.

Поступила в редакцию 18 июля 1977 г.