

ЛИТЕРАТУРА

1. Beck F., Polly III: A four-view system for analyzing film from large bubble chambers. ANL/HEP, N 7128, Dubna, August, 1971.
2. Дьяконов В. Н., Кунов В. М. Мощный преобразователь «код — ток» повышенной точности.— В кн.: Системы сбора и обработки данных с помощью ЭВМ и их элементы. Новосибирск, изд. ИАиЭ СО АН СССР, 1972.
3. P. Antoine et al. Pangloss, a CRT device for bubble chamber pictures.— In: Int. Conf. Data Handl. Syst. High-Energy Phys. Proc. Vol. 1. Cambridg, 1970, p. 401—416.
4. Кучин Ю. М., Крютченко Е. В. Преобразователь код — отклоняющий ток для электронно-лучевой трубки измерительного автомата. Препринт № 69—29. Серпухов, изд. ИФВЭ, 1969.
5. Крютченко Е. В., Кучин Ю. М., Рабин Б. М., Уточкин Б. А. «Искра» — автомат на ЭЛТ для обработки фильмовой информации. Препринт № 74—45. Серпухов, изд. ИФВЭ, 1974.
6. A van Praag. A fast 14-bit digital-to-analogue converter.— In: Cern-Data Handling Division DD/71/23, November, 1971.
7. Дьяконов В. Н., Кунов В. М. Цифроаналоговый преобразователь для управления лучом ЭЛТ.— «Автометрия», 1972, № 2, с. 92—95.
8. Жданов В. А., Крютченко Е. В., Михеев В. П., Уточкин Б. А., Федотов В. С. Прецизионное устройство преобразования для сканирующих автоматов. Препринт № 72—43. Серпухов, изд. ИФВЭ, 1972.
9. Гаврилов Р. К. Приближенные методы анализа переходных процессов. М., «Сов. радио», 1965.
10. Додик В. С. Полупроводниковые стабилизаторы постоянного напряжения и тока. М., «Сов. радио», 1962.

*Поступила в редакцию 23 февраля 1977 г.;
окончательный вариант — 20 января 1978 г.*

УДК 681.3.181.4

**Б. И. БОРДЕ, Е. А. ВЕЙСОВ, А. А. ЖУРАВЛЕВ,
В. Г. ЧЕРЕПАНОВ**
(Красноярск)

СИСТЕМА ДЛЯ ИСПЫТАНИЯ МИКРОПРОЦЕССОРНЫХ БИС И МИКРОПРОЦЕССОРОВ

Развитие производства больших интегральных схем (БИС) обуславливает новые требования к средствам контроля, поскольку БИС уже не просто компонент конструкции, а сложная функциональная схема, помещенная в корпус с ограниченным числом выводов и имеющая значительное количество внутренних состояний. В связи с этим процесс тестирования больших интегральных схем, к которым относятся процессорные элементы, микропроцессоры, запоминающие устройства (ОЗУ и ПЗУ), не эффективен при использовании ручных методов. Для автоматического контроля разрабатываются различные методы и испытательные установки: специализированные — для тестирования одного типа микросхем и универсальные — для испытания систем БИС [1—6]. Последние обладают преимуществом, поскольку не требуют создания новой аппаратуры для каждой конкретной микросхемы.

В предлагаемой работе рассматривается универсальная система испытаний БИС, совместимых по сигналам с ТТЛ-схемами, реализованная на базе серийной микро-ЭВМ, которая позволяет проводить функциональный, параметрический и динамический контроль больших интегральных схем.

Система включает (рис. 1): микро-ЭВМ с комплектом периферийного оборудования, разработанное устройство управления

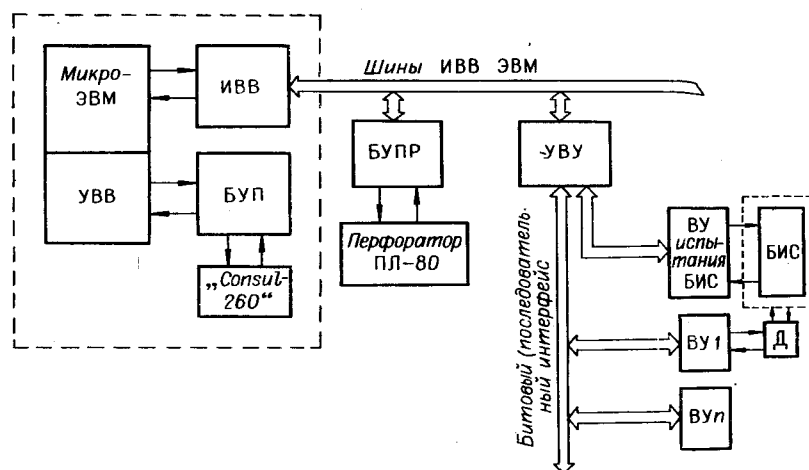


Рис. 1. Структура системы тестирования БИС на базе микро-ЭВМ:
 УВВ — устройство ввода-вывода; ИВВ — интерфейс ввода-вывода; БУП — блок управления печатью; БУПР — блок управления перфоратором; УВУ — устройство управления внешними устройствами; Д — датчики для проведения климатических испытаний.

внешними устройствами и группу внешних устройств (ВУ), одним из которых является ВУ испытания БИС. Связь ЭВМ с УВУ осуществляется через интерфейс ввода-вывода, к которому может быть подключена группа УВУ, а также входящий в комплект с ЭВМ блок управления перфоратором типа ПЛ-80, внешнее ЗУ и др.

В системе может использоваться одна из трех микро-ЭВМ, совместимых по системе команд и интерфейсу ввода-вывода («Электроника С-50» [7] и другие) и имеющих основные характеристики:

формат слова 16 десятичных разрядов (знак мантиссы, 12 десятичных разрядов мантиссы, знак порядка и два разряда порядка);
 время выполнения коротких операций — 0,5 мс, операций типа умножения — 2 мс;

объем памяти ЭВМ С-50 — 1 Кбайт (без расширения);

интерфейс ввода-вывода ЭВМ включает восемь шин прямой и восемь шин обратной передачи, четыре шины идентификации, пять шин управления и две шины приоритетного обслуживания;

скорость обмена с периферийными устройствами — 10 Кбайт/с;

обмен данными осуществляется в двоично-десятичном коде.

Структура УВУ. Связующим звеном между ЭВМ и группой ВУ является устройство управления внешними устройствами. К УВУ может быть подключено восемь внешних устройств. В функции, выполняемые УВУ, входят: прием командных сообщений от ЭВМ, преобразование их к формату ВУ и передача в интерфейс внешних устройств, задание интервала между отсчетами, определение числа каналов за время интервала между отсчетами, прием данных от ВУ, преобразование их к формату ЭВМ и выдача в интерфейс ввода-вывода ЭВМ. Информационное сообщение для УВУ включает: L — поле кода метки (старший разряд мантиссы), которое определяет номер УВУ и служит для его адресации и идентификации; I_1, I_2 — поля кода интервала между отсчетами (два десятичных разряда), I_1 определяет выход делителя частоты, которая может задаваться в пределах $10^{-3} \div 10^{-4}$ Гц, I_2 — множитель (может изменяться от 1 до 9); время интервала между отсчетами в секундах определяется по формуле $T = I_1 / I_2$ и может изменяться в пределах от 10^{-3} до $9 \cdot 10^4$ с; K_1, K_2 — поля кода числа каналов (два десятичных разряда); P — поле кода режима работы УВУ; разряды мантиссы 7 ÷ 12 не используются.

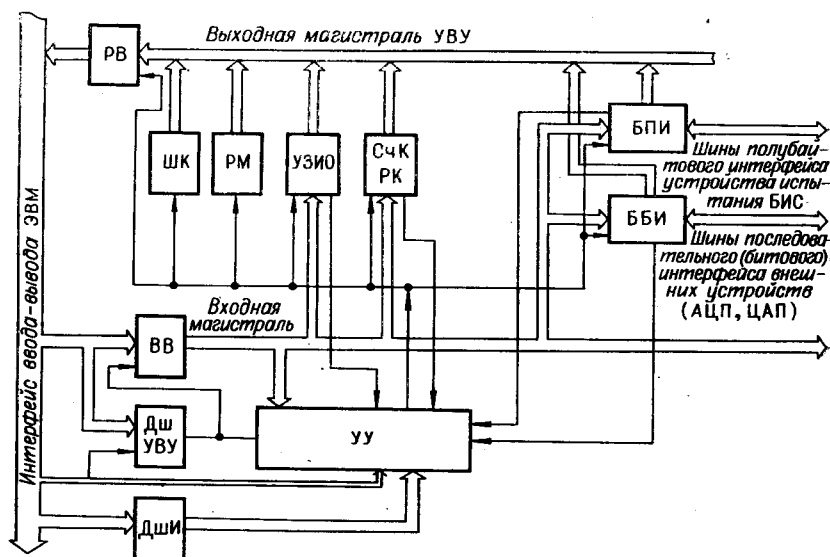


Рис. 2. Структура УВУ:

БПИ — блок полубайтового интерфейса ВУ БИС; ББИ — блок битового интерфейса.

Устройство управления внешними устройствами (рис. 2) включает: регистр выдачи кода (РВ); входные вентили (ВВ); устройство задания интервала отсчетов (УЗИО); счетчик и регистр числа каналов (СЧК и РК); шифратор команд (ШК); дешифратор идентификации (ДШИ); устройство выбора УВУ (Дш УВУ); блок последовательного интерфейса УВУ—ВУ; блок параллельного интерфейса ВУ БИС и устройство управления (УУ). Внутри УВУ организована входная байтовая магистраль адресов и данных и выходная байтовая магистраль данных.

Работа основных узлов УВУ рассмотрена в [8]. Обмен информацией между УВУ и ВУ осуществляется через интерфейс внешних устройств. В функции интерфейса УВУ—ВУ входят операции по дешифрации адреса ВУ, синхронизации в процессе обмена данными, согласованию уровней сигналов и форматов представления информации, организации запросов и т. д. С целью снижения числа гальванически разделяемых шин в системе используются последовательный битовый интерфейс УВУ—ВУ, который предназначен для обмена с ВУ типа АЦП, ЦАП, и полубайтовый интерфейс — для организации обмена с ВУ испытания БИС. В его функции входят операции обмена информационными сообщениями между УВУ и ВУ БИС. Интерфейс ВУ БИС включает четыре информационные шины прямой передачи, четыре шины обратной передачи и три шины управления.

Внешние устройства типа АЦП и ЦАП рассмотрены в [9]. Внешнее устройство испытания БИС предназначено для контроля процессорных элементов, запоминающих устройств (ОЗУ, ПЗУ) и других микросхем.

Структура ВУ испытания БИС включает (рис. 3): регистр командных сообщений (Р1); регистр ответных сообщений (Р2); счетчик (Сч) и дешифратор (Дш) синхроимпульсов интерфейса; дешифратор метки (Дш1); узел формирования тактовых частот (УТЧ); логику приема, выдачи информации и колодки подключения БИС.

Регистр командных сообщений предназначен для приема и хранения командного сообщения (два слова), по которому формируются тактовые частоты и заносится информация в БИС. Слово задания такто-

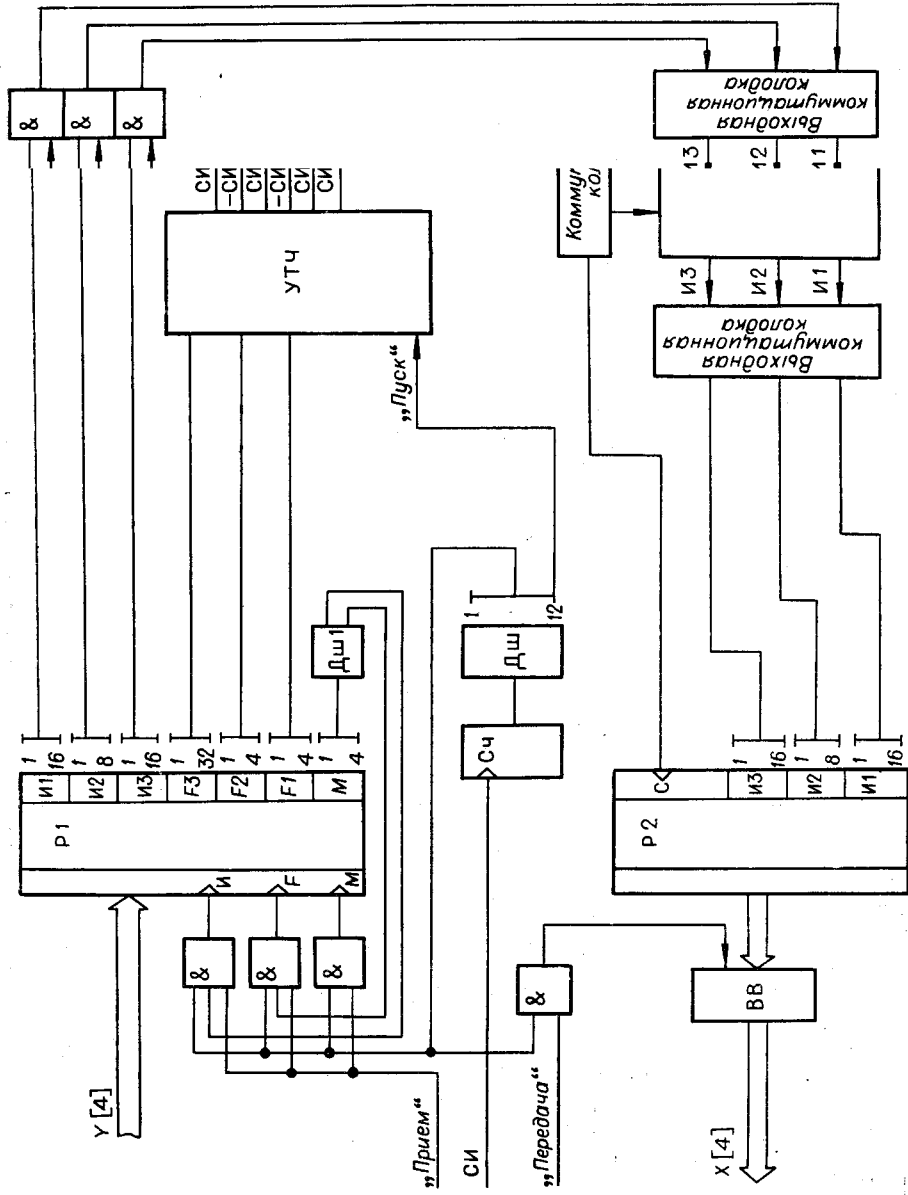


Рис. 3. Функциональная схема ВУ испытания БИС:
 Y [4], X [4] — входные и выходные полубайтовые шины интерфейса

Таблица I

Командное сообщение внешнему устройству													
Разряды мантиссы информационного сообщения ЭВМ	1	2	3	4	5	7	6	8	9	10	11	12	
Возможное значение разряда мантиссы	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	
Идентификатор поля слова <i>F</i>	M	F1	F2	F31	F32	F33	F34	F31	F32	F33	F34	—	
Возможное значение поля слова <i>F</i>	7	0÷7	0÷4	0÷7	0÷7	0÷7	0÷7	0÷7	0÷7	0÷7	0÷7	0÷7	
Назначение поля в ВУ	Метка 7	Частота	Делитель	Выбор								Не используется	
				СИ 11	СИ 12	СИ 13	СИ 14	СИ 21	СИ 22	СИ 23	СИ 24		
Значение поля слова И для БИС К584ИК1	8	0÷1	0÷7	0÷4	0÷4	0÷1	0÷7	0÷3	0÷7	0÷2	0÷4	—	
Назначение поля в ВУ при передаче слова И для БИС К584ИК1	Метка 8	Шины ВХ 3	Шины ВХ 2÷0	Сдвиг вправо 1	Сдвиг влево 1	Сдвиг вправо 2	Сдвиг влево 2	Слово кода операции			Управление позицией БИС	Управление инкрементом. Приоритет	Не используется
								Вход переноса программного счетчика ОП1	ОП2 ÷ ОП4	ОП5 ÷ ОП6			

вых частот (слово *F*) предназначено для формирования в соответствии с задаваемым кодом последовательности синхронизирующих импульсов, необходимых для функционирования конкретной БИС. Информационное слово БИС (слово И) содержит операнд, над которым выполняются операция, код операции и управляющие сигналы в случае микропроцессорных БИС или операнд и адрес при испытаниях запоминающих устройств.

Структура сообщения для задания тактовых частот приведена в табл. I и включает: метку, необходимую для адресации ВУ испытания БИС, поле *F1* определяет выбор выхода декадного делителя частоты (от 10 МГц до 1 Гц) с помощью мультиплексора М1 (рис. 4), поле *F2*, которое с помощью мультиплексора М2 определяет вторую ступень деления частоты ($F2=1, 2, 4, 8$). Оставшиеся восемь разрядов слова (поле *F3*) задают выбор последовательности синхронизирующих импульсов с программируемыми временными задержками СИ1, СИ2, СИ3, СИ4.

Структура информационного слова для БИС приведена в табл. 1. Информационное слово для БИС включает: метку, поле числовых данных И1, поле кода операции И3 (адресное — при испытании ЗУ) и поле управляющих сигналов И2. Занесение кода метки в Р1 осуществляется по сигналу УВУ «Прием» и коду Дш=1. Разрешение на дальнейший прием слова *F* или слова И осуществляется по совпадению сигнала «Прием» с управляющим сигналом Дш и сигналом дешифратора метки Дш1.

Таблица 2

Ответное сообщение внешнего устройства												
Разряды мантиссы информационного сообщения ЭВМ	1	2	3	4	5	6	7	8	9	10	11	12
Возможное значение разряда мантиссы	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9	0÷9
Идентификатор поля И	М	И11	И12	И13	И14	И31	И32	И33	И34	И21	И22	—
Значение поля слова И для БИС К584ИК1	8	0÷1	0÷7	1÷4	1÷4	0÷1	0÷7	0÷1	—	0÷2	0÷7	—
Назначение поля при испытании БИС К584ИК1	Метка 8	Шина Вых 3	Шины Вых 2 ÷ 0	Сдвиг вправо 1 Сдвиг влево 1	Сдвиг вправо 2 Сдвиг влево 2	Шина А3	Шины А2 ÷ А0	Старший бит регистра расширения	Не используется	Сигналы ускоренного переноса	Управление инкрементором	Не используется

Регистр ответных сообщений (Р2) предназначен для приема, хранения и выдачи на шины интерфейса ответного сообщения БИС. Структура ответного сообщения приведена в табл. 2. Сигналы занесения информации в регистр задаются оператором на коммутационной колодке синхроимпульсов. Выдача данных в магистраль осуществляется по сигналу «Передача» полубайтами.

Узел формирования тактовых частот (см. рис. 4) состоит из генератора импульсов $f=10$ МГц, двухступенчатого делителя частоты (СчF, Сч10, М1, М2), десятичных счетчиков с дешифраторами, на один из которых поступает последовательность импульсов, сдвинутая на $1/2$ периода, восьми мультиплексоров для выбора в соответствии с сообщением F двух последовательностей синхронизирующих импульсов, сдвинутых относительно друг друга (СИ1, СИ2), и двух последовательностей импульсов (СИ3, СИ4), определяемых комбинациями СИ1 и СИ2 (см. рис. 4). Длительности синхронизирующих импульсов СИ1 и СИ2 определяются полями F1, F2 регистра P1: $\tau_{СИ1} = \tau_{СИ2} = F2/F1$, где F1 задает выбор частоты в пределах 10^6-10^{-1} Гц, F2 — множитель (1, 2, 4, 8). Длительности синхронизирующих импульсов СИ3, СИ4 определяются как комбинации СИ1 и СИ2 в соответствии с рис. 4 по формулам:

$$\tau_{СИ31} = \tau_{СИ11} + \frac{\tau_{СИ21}}{2}; \quad \tau_{СИ41} = \tau_{СИ31} + \frac{\tau_{СИ12}}{2};$$

$$\tau_{СИ32} = \tau_{СИ12} + \frac{\tau_{СИ22}}{2}; \quad \tau_{СИ42} = \tau_{СИ32} + \frac{\tau_{СИ13}}{2};$$

$$\tau_{СИ33} = \tau_{СИ13} + \frac{\tau_{СИ23}}{2}; \quad \tau_{СИ43} = \tau_{СИ33} + \frac{\tau_{СИ14}}{2};$$

$$\tau_{СИ34} = \tau_{СИ14} + \frac{\tau_{СИ24}}{2};$$

Требуемые синхронизирующие импульсы для управления конкретной БИС коммутируются на колодке синхросигналов.

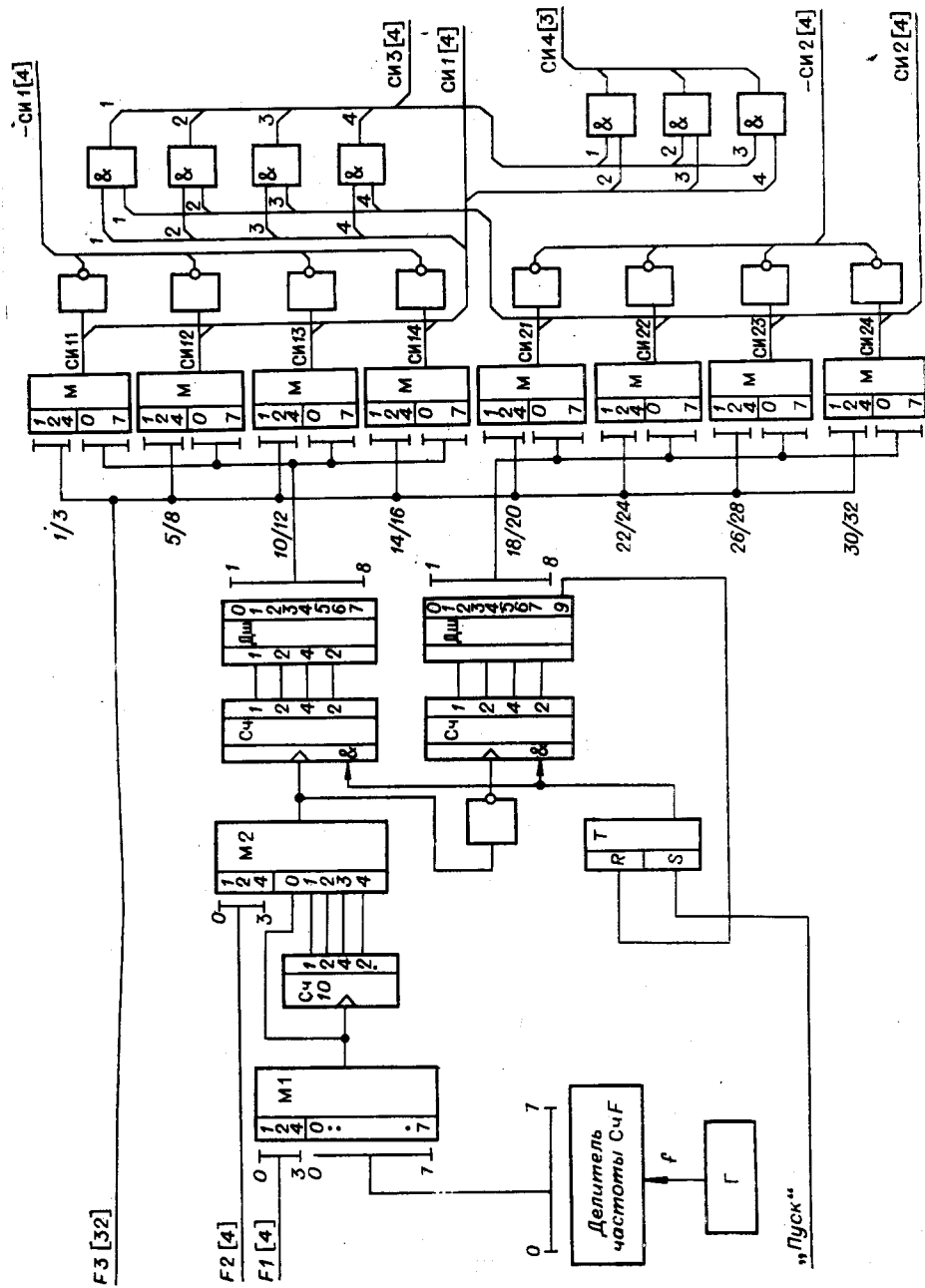


Рис. 4. Функциональная схема УТЧ.

Г — генератор импульсов; М — мультиплексоры выбора кодовых последовательностей для формирования синхронных импульсов; Т — триггер пуска УТЧ на выработку серии синхронизирующих импульсов.

Система автоматического тестирования БИС использована для проверки I^2L [10] микропроцессорного элемента К584ИК1. Для испытания микропроцессора необходимыми условиями являются формирование управляющего кода операций, кода числа, передаваемого в БИС, и сигналов управления позицией, приоритетом и т. д., прием кода числа и кода адреса БИС, сигналов переноса и т. д.

Структура командного и ответного сообщений для микропроцессора К584ИК1 приведена в табл. 1 и 2. Для обмена информацией используется восьмеричная система счисления. Ввиду того что микропроцессор (МП) К584ИК1 имеет значительное количество команд (512), программа тестового контроля разбита на несколько подпрограмм, выполняемых последовательно по одному и тому же алгоритму. Анализ результата выполнения подпрограммы показывает отсутствие или наличие сбоя в данной группе команд, а для проверки всех 512 команд необходимо выполнение всех подпрограмм. Алгоритм тестовой проверки микропроцессора выполняется в следующей последовательности:

1. Первичная загрузка УВУ (ЭВМ передает в УВУ информационное сообщение для задания режима работы).
2. Передача в ВУ БИС слова F для задания последовательности тактовых импульсов, необходимых для проверки микропроцессора на его рабочей частоте.
3. Вход в подпрограмму для проверки первой группы команд.
4. Формирование текущего информационного слова для БИС, которое определяет тип выполняемой команды и операнд, над которым выполняется операция.
5. Передача информационного слова в ВУ БИС.
6. Пуск МП на его рабочей частоте для выполнения одной команды.
7. Прием результата выполнения заданной команды.
8. Анализ окончания заданной группы команд.
9. Проверка результата выполнения группы команд. Если результат неверный, осуществляется анализ на случайность сбоя, для чего данная группа команд выполняется 3 раза, после этого производится индикация сбоя.
10. При отсутствии сбоя осуществляется проверка на окончание, и, если обработана последняя подпрограмма, ЭВМ индицирует исправное состояние МП, в противном случае переходит к очередной подпрограмме обработки.

Для полной проверки функционирования микропроцессора требуется оперативная память объемом 8 Кбайт, для проверки отдельных групп команд требуемый объем оперативной памяти лежит в пределах (1÷4) Кбайт.

Разработанная система позволяет, кроме тестирования БИС, осуществлять проверку и отлаживание микропрограмм, реализующих конкретные алгоритмы путем задания последовательности кодов команд микропроцессора, необходимых для реализации конкретной операции (сложения, умножения и т. д.). В этом случае результат операции получается за несколько тактов, определяемых глубиной микропрограммы конкретной операции, а результат ее выполнения индицируется в ЭВМ. Программное изменение тактовых частот и длительностей синхроимпульсов позволяет проверять рабочий диапазон частот БИС, а при использовании других внешних устройств АЦП, ЦАП проводить климатические испытания и испытания по разбросу параметров питания. Недостатком разработанной системы можно считать необходимость работы в восьмеричной системе, ограниченный объем памяти ЭВМ и ее невысокое быстродействие. Выполнена система на микросхемах средней степени интеграции серии К-155. Общий вид системы приведен на рис. 5.

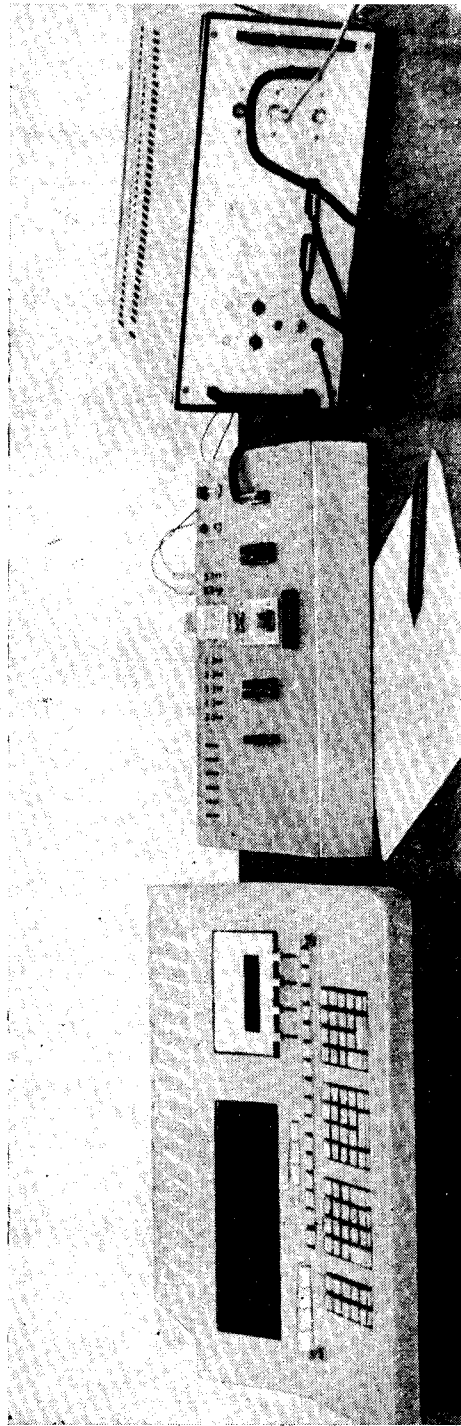


Рис. 5. Общий вид системы испытания БИС
(В центре ВУ — испытания БИС, справа — УВУ.)

ЛИТЕРАТУРА

1. Смит. Достоверный контроль качества микропроцессоров путем функционального тестирования.— «Электроника», 1977, № 4, с. 56—62.
2. Чанг, Маккаски. Два новых способа упрощения тестовой проверки микропроцессоров.— «Электроника», 1976, № 2, с. 45—52.
3. Жорно С. Е., Маковоз Б. И., Плутонов В. К. Структура и принцип работы устройства для функционально-временного контроля микропроцессоров.— В кн.: Микропроцессоры. (Тезисы докладов 2-го Всесоюзного совещания). Т. I. Рига, «Зинатне», 1977, с. 178—180.
4. Зеленевская Е. А., Сабадаш Н. Г., Обуховский И. П., Темченко В. А., Плотников Е. И. Специфика организации контроля БИС микропроцессорных наборов в процессе производства и эксплуатации.— В кн.: Микропроцессоры. Т. I. Рига, «Зинатне», 1977, с. 175—177.
5. Сантони. Совершенствование тестеров для наладки микропроцессорных систем.— «Электроника», 1976, № 26, с. 26—39.
6. Мик, Скопмейер. Микропроцессор для отладки микропрограмм машин на основе процессорных секций.— «Электроника», 1977, № 9, с. 51—56.
7. Черепанов В. Г. Программирование в кодах ЭВМ «Электроника С-50». Красноярск, изд. КПИ, 1976.
8. Борде Б. И., Гурьевич А. С., Красников В. И., Романов В. Г., Черепанов В. Г. Автоматическая обработка результатов исследования распределения термо-ЭДС в полупроводниковых минералах.— «Автометрия», 1977, № 4, с. 25—30.
9. Борде Б. И., Иванов В. И. Структуры программируемых многофункциональных аналого-цифровых преобразователей и коммутаторов.— В кн.: Тезисы докладов Всесоюзной конференции по аналоговой и аналого-цифровой вычислительной технике. М., «Сов. радио», 1977, с. 35.
10. Аваев Н. А., Душний В. Н., Наумов Ю. Е. Большие интегральные схемы с инъекционным питанием. М., «Сов. радио», 1977.

*Поступила в редакцию 7 февраля 1978 г.;
окончательный вариант — 18 апреля 1978 г.*

УДК 681.142.4

В. И. ВИНОГРАДОВ, Т. Л. КАРАВИЧЕВА

(Москва)

ЯЗЫК ПРОМЕЖУТОЧНОГО УРОВНЯ SAMILA ДЛЯ ПРОГРАММИРОВАНИЯ SAMAC НА RDP-11 МАЛОЙ КОНФИГУРАЦИИ

1. **Введение.** Язык программирования промежуточного уровня [1] SAMILA (SAMAC—INTERMEDIATE—LANGUAGE FOR ASSEMBLER) совместно с ассемблером ACC-400A предназначен для программирования предэкспериментальных этапов и экспериментальных исследований, использующих оборудование в стандарте SAMAC и требующих, как правило, быстрой реакции системы в реальном масштабе времени. Трансляция языка промежуточного уровня на машинный осуществляется методом предкомпиляции (предпроцессор), обеспечивающим выделение операторов и замену их соответствующими макро, написанными на уровне ассемблера используемого языка. Таким образом, на следующем этапе производится обычное ассемблирование программы в машинные коды.

Настоящий текст содержит описание только языка SAMILA. Предполагается предварительное знакомство со стандартом SAMAC [2—4] и ассемблером ACC-400A. Язык SAMILA обеспечивает независимость написания предложений от конфигурации используемых аппаратных средств, позволяет описать разные процедуры, решаемые в рамках