

А. А. ЛУБКОВ
(Новосибирск)

**СРАВНИТЕЛЬНЫЙ АНАЛИЗ
НЕКОТОРЫХ МЕТОДОВ УМНОЖЕНИЯ.
АППАРАТНАЯ РЕАЛИЗАЦИЯ
СПЕЦИАЛИЗИРОВАННОГО УМНОЖИТЕЛЯ
ПОСЛЕДОВАТЕЛЬНОГО ТИПА**

1. **Введение.** Одна из часто встречающихся операций, выполняемых при разнообразных вычислениях,— это умножение. Быстрое развитие микроэлектроники позволяет решать задачи повышения производительности вычислительных устройств и снижения объема их оборудования на качественно новой основе. В связи с этим вопросы алгоритмического обеспечения и аппаратной реализации умножителей претерпевают существенные изменения. В данной статье рассмотрены применяемые в настоящее время методы умножения, оценен необходимый для их реализации объем оборудования и достижимое с их помощью при использовании ТТЛ-микросхем быстродействие; приведен пример аппаратной реализации умножителя последовательного типа.

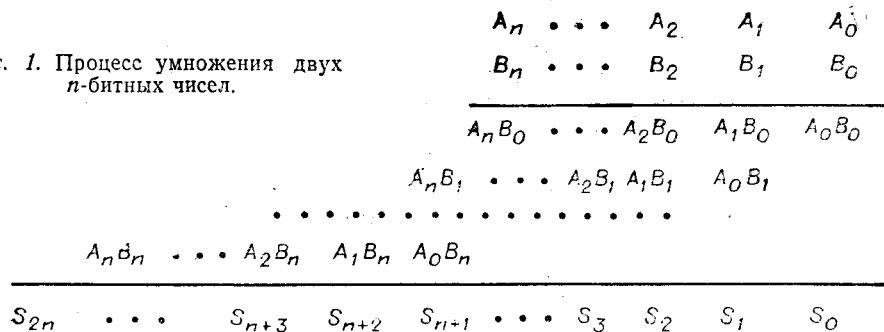
Процесс умножения в большинстве случаев (рис. 1) сводится к получению частичных произведений и их последующему суммированию. В случае операндов, имеющих различные знаки, указанные действия дополняются специальными корректирующими шагами [1], которые не оказывают влияния на сам процесс умножения и в дальнейшем рассматриваться не будут.

В зависимости от методов получения частичных произведений ($A_i B_j$) и способов их суммирования алгоритмы умножения можно классифицировать, как показано на рис. 2.

2. **Последовательные методы.** В настоящее время такие методы широко распространены; они характеризуются последовательным во времени способом получения частичных произведений; на их основе построено большинство арифметических устройств современных ЭВМ.

2.1. *Методы, использующие операции типа «сложение — сдвиг» с анализом одного разряда множителя.* Блок-схема умножителя, реализующего один из таких методов (рис. 3), содержит n -разрядные регистры для хранения множимого (МН), множителя (МТ) и частичного произведения (ЧП), n вентилях и $n + 1$ -разрядный сумматор. Для запоминания младших разрядов произведения (разрядность его равна $2n$) регистр ЧП обычно расширяется за счет освобождающейся в процессе умножения части регистра МТ. Время выполнения операции умноже-

Рис. 1. Процесс умножения двух n -битных чисел.



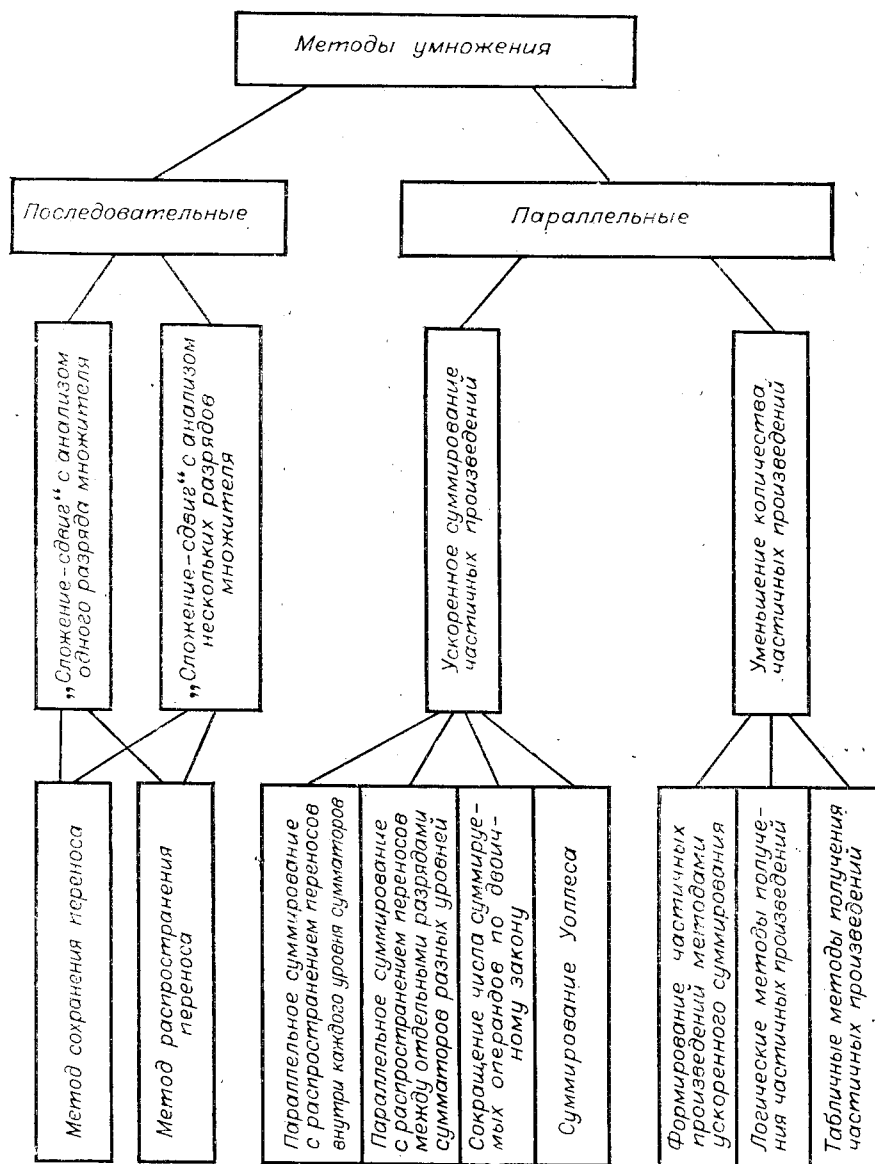


Рис. 2. Классификация методов умножения.

ния в такой схеме определяется выражением

$$T_{ум} = n(T_{сл} + T_{зп} + T_{сд}), \quad (1)$$

где $T_{сл}$ — время сложения сумматора, $T_{зп}$ — время записи в регистр ЧП, $T_{сд}$ — время сдвига данных в регистрах ЧП и МТ.

В работе [2] время $T_{зп}$ не учитывается из-за того, что до появления быстрых сумматоров выполнялось условие $T_{сл} \gg T_{зп}$. Традиционным методом ускорения умножения был пропуск суммирования при наличии в множителе непрерывной цепочки нулей или единиц (последовательный алгоритм Бута), что давало выигрыш при $T_{сл} \gg T_{сд}$. При применении микросхем, например расширенной серии К155, все три характерных времени оказываются одного порядка, что заставляет по-новому решать задачу повышения быстродействия таких умножителей. В частности, осуществляя сдвиг монтажным способом, можно $T_{сд}$ вообще исключить из рассмотрения.

При использовании микросхем типа АЛУ К155ИП3 со схемой ускоренного переноса К589ИК03 и регистров К155ИР13 время одиночного такта «сложение — сдвиг» получено 110 нс, что для умножения 32-разрядных операндов составит 3,6 мкс. Применение АЛУ позволяет также упростить схему устройства (см. рис. 3), так как появляется возможность устранения группы вентилях. В этом случае для реализации умножителя потребуется всего 22 микросхемы. (Здесь и далее при указании на объем оборудования везде имеется в виду лишь оборудование для реализации самого алгоритма; дополнительные затраты на управление, связь с каналом и т. д. при этом не учитываются, поскольку объем оборудования для этих целей мало зависит от применяемого метода умножения.)

2.2. Методы, использующие операции типа «сложение — сдвиг» с анализом нескольких разрядов множителя. Среди таких методов высокой эффективностью обладает метод с одновременным анализом трех битов множителя и его сдвигом на два разряда. В ряде работ, например в [3], этот метод называется модифицированным алгоритмом Бута. Приведенная ниже таблица наглядно иллюстрирует выполняемые в этом случае действия. Нетрудно видеть, что операция умножения завер-

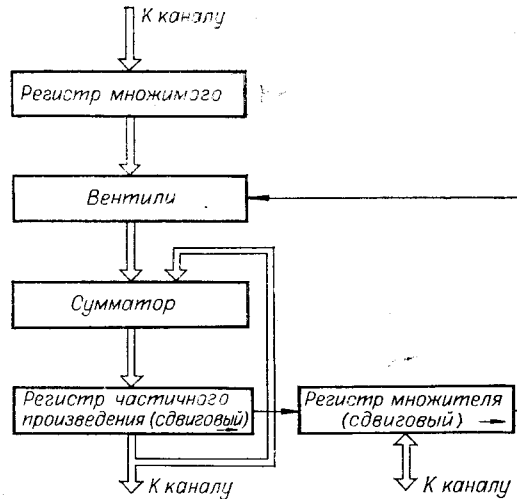


Рис. 3. Блок-схема реализации алгоритма умножения по методу «сложение-сдвиг».

Анализируемые разряды множителя			Выполняемое действие
Текущие 2 ¹	2 ⁰	Предыдущий 2 ⁻¹	
0	0	0	S+0 — прибавление нуля (нет цепочки единиц)
0	0	1	S+МН — прибавление множимого (конец цепочки)
0	1	0	S+МН — прибавление множимого (цепочка из одного элемента)
0	1	1	S+2МН — прибавление удвоенного множимого (конец цепочки)
1	0	0	S-2МН — вычитание удвоенного множимого (начало цепочки)
1	0	1	S-МН — вычитание множимого (конец одной, начало другой цепочки)
1	1	0	S-МН — вычитание множимого (начало цепочки)
1	1	1	S-0 — вычитание нуля (середина цепочки)

Примечание. S — частичное произведение.

шится за $n/2$ тактов и, следовательно,

$$T_{ум} = n/2(T_{сл} + T_{зн}). \quad (2)$$

Это время при реализации 32-разрядного умножителя на тех же элементах, что и в п. 2.1, составляет 1,8 мкс.

Ценным свойством такого алгоритма является то, что он без добавочных корректирующих шагов позволяет перемножать числа, представленные в дополнительном коде. Основной недостаток этого метода заключается в том, что для его реализации необходимо формировать удвоенное множимое, что обычно выполняется с помощью специального коммутатора. Количество оборудования для реализации алгоритма практически оказывается тем же, что и для умножителя, рассмотренного в п. 2.1. Возможны другие варианты этого метода, как, например, описанный в [4], в котором в каждом такте анализируются два бита множителя и состояние дополнительного триггера.

2.3. *Метод сохранения переноса* [5]. При сложении двух чисел в каждом разряде сумматора образуется поразрядная сумма и перенос в старший разряд. Так как при умножении частичное произведение в каждом такте сдвигается вправо, то может оказаться выгоднее не распространять переносы влево (в старшие разряды), а запомнить их в дополнительном регистре переносов в тех же разрядах, где они возникли, с тем, чтобы учесть содержимое регистра переносов как третье слагаемое в следующем такте работы. Этот метод может дать выигрыш по быстродействию в том случае, если время поразрядного суммирования ($T_{пс}$) существенно меньше времени суммирования с распространением переноса ($T_{срп}$). Тогда

$$T_{ум} = 2n(T_{пс} + T_{зн}). \quad (3)$$

В формуле (3) число тактов равно $2n$, причем в n последних тактах, проводимых лишь для учета сохраненных ранее переносов, входные операнды не участвуют. В таком методе число тактов можно сократить почти вдвое, если после n -го такта выполнить одно суммирование с распространением переноса. В этом случае потребуется дополнительный n -разрядный сумматор с распространением переноса.

Метод сохранения переноса может быть совмещен с алгоритмом, приведенным в таблице. Если при этом осуществлять запоминание группового переноса для двух разрядов, то время умножения

$$T_{ум} = n(T_{пс} + T_{зн}). \quad (4)$$

Здесь также число тактов можно уменьшить вдвое, если после $n/2$ тактов выполнить суммирование с распространением переноса.

Недостаток этого метода в том, что для его реализации необходимы дополнительный регистр для запоминания переносов и полные сумматоры, т. е. имеющие входы слагаемых и переноса, выходы суммы и переноса для каждого разряда или для группы из двух разрядов. Метод сохранения переноса нашел свое воплощение в микросхемах фирмы „Advanced Micro Devices Inc.“: AM25LS14 [5] и AM25LS2516 [6], работающих с высокой тактовой частотой (до 40 МГц) и перемножающих числа разрядностью 8×8 за 16 тактов или за 400 нс. Особо следует отметить, что поскольку $T_{пс}$ в выражениях (3), (4) в отличие от $T_{сл}$ в формулах (1), (2) не зависит от длины множителя, то указанные микросхемы легко каскадируются. Это делает их применение особенно выгодным для умножения операндов большой разрядности. Так, для 32-разрядных операндов требуется всего 4 микросхемы типа AM25LS2516, а время умножения в этом случае составляет 1,7 мкс.

Следует заметить, что реализация этого метода на элементах типа АЛУ серии K155 нецелесообразна по двум причинам. Во-первых, АЛУ не имеют входа и выхода переноса для каждого разряда, а только для

группы из 4 разрядов, во-вторых, для 32-разрядного сумматора, выполненного на этих элементах с цепями ускоренного переноса на К589ИК03, время суммирования $T_{срп}$ составляет 57 нс, а время поразрядного суммирования $T_{пс}$ равно 48 нс (т. е. не выполняется условие $T_{пс} \ll T_{срп}$).

3. Параллельные методы. Основная особенность параллельных методов умножения состоит либо в ускорении процесса суммирования частичных произведений, либо в получении вместо отдельных частичных произведений более укрупненных промежуточных результатов или даже готового произведения операндов. В этих методах обработка всех разрядов входных операндов производится одновременно.

3.1. Методы ускоренного суммирования частичных произведений.

3.1.1. Параллельное суммирование с распространением переносов внутри каждого уровня сумматоров. Для суммирования n -разрядных чисел может быть применено $n - 1$ сумматоров [1]. Такую систему сумматоров можно представить в виде ромбовидной структуры, где n -разрядные сумматоры расположены по $n - 1$ уровням со смещением разрядов сумматора каждого более низкого уровня на один разряд относительно предыдущего. Сумматор верхнего уровня суммирует два частичных произведения, сумматор второго уровня добавляет к полученной сумме третье и т. д. Переносы, возникающие в младших разрядах сумматоров, распространяются в сторону старших.

Время получения результата в этом случае

$$T_{ум} = (n - 1)T_{пс} + 2(n - 1)T_{п}, \quad (5)$$

где $T_{пс}$ — время образования поразрядной суммы, $T_{п}$ — среднее время распространения переноса на один разряд сумматора.

Охватив каждый ряд сумматоров схемами ускоренного переноса, можно сократить время умножения примерно до $nT_{пс}$. Для К155ИПЗ $T_{пс}$ равно 50 нс, отсюда для умножения чисел разрядностью 32×32 на этих элементах потребуется около 1,6 мкс.

3.1.2. Параллельное суммирование с распространением переносов между отдельными разрядами сумматоров разных уровней. Предыдущую схему можно несколько видоизменить, если переносы, возникающие в каждом разряде сумматора любого уровня, кроме самого нижнего, распространять не внутри его, а направлять в соответствующие разряды сумматора более низкого уровня, учитывая их как третье слагаемое. Самый нижний сумматор при этом необходимо реализовать с распространением переноса [1]. Охватив сумматор нижнего уровня цепью ускоренного переноса, можно достичь такого же эффекта, как и в предыдущем случае, при использовании $n - 1$ цепей ускоренного переноса.

При оценке количества оборудования, необходимого для реализации умножителей по методам, рассмотренным в п. п. 3.1.1. и 3.1.2, следует учитывать, что здесь кроме сумматоров требуется еще n^2 вентилях для формирования частичных произведений. Естественно, что при реализации сумматоров на АЛУ, которые имеют управляемые входы операндов, необходимость в упомянутых вентилях отпадает.

3.1.3. Сокращение числа суммируемых операндов по двоичному закону. Быстродействие параллельного умножителя можно значительно повысить, применив другой порядок суммирования частичных произведений: на первом уровне просуммировать соседние строки (см. рис. 1), на следующем — полученные результаты в соседних парах строк, затем — в соседних четверках и т. д., т. е. происходит сокращение числа суммируемых операндов по двоичному закону. На верхнем уровне потребуется $n/2$ -сумматоров, на втором $n/4$, на третьем $n/8$ и т. д. Число уровней сумматоров в таком умножителе $A_{дв}$ определится по формуле

$$A_{дв} = E \log_2 n,$$

где E — большая целая часть числа, определяемого выражением $\log_2 n$.

Особенностью данного метода является то, что разрядность сумматоров l увеличивается при увеличении номера уровня суммирования в соответствии с формулой $l = n + 2^{i-1}$ (i — номер уровня суммирования). Количество сумматоров в этом множителе такое же, как и в схемах, рассмотренных в п. п. 3.1.1, 3.1.2, но часть из них имеет большую разрядность. Поэтому для множителя 32-разрядных чисел, построенного по этому методу, потребуется дополнительно 20 корпусов микросхем К155ИПЗ, или около 8% к общему количеству АЛУ в схеме. Однако благодаря сокращению числа уровней суммирования существенно увеличивается быстродействие. Для перемножения 32-разрядных чисел на АЛУ серии 155 со схемами распространения переноса К589ИК03 необходимо 400 нс.

3.1.4. Суммирование Уоллеса. Еще большее увеличение быстродействия можно получить, применяя уменьшение количества суммируемых операндов на более низких уровнях по логарифмическому закону (как в предыдущем методе), только с отличным основанием совместно с распространением переносов в более низкие уровни [7]. В этом случае любой одноразрядный сумматор рассматривается как устройство, уменьшающее количество операндов с трех на входах до двух на выходах. Количество уровней суммирования, необходимое для получения двух чисел, в зависимости от разрядности операндов n в этом случае

$$A_y = E \log_{1,5} n. \quad (6)$$

Подобные схемы получили название деревьев Уоллеса. Важнейшее преимущество такой схемы состоит в том, что она хотя и не производит окончательного суммирования входных операндов, но за время, пропорциональное $\log_{1,5} n$, сокращает их количество до двух. Завершающее суммирование производится на сумматоре с распространением переноса, который может быть охвачен схемой ускоренного переноса и имеет разрядность $2n - 1$.

Дерево Уоллеса на 19 входов, показанное на рис. 4, иллюстрирует принцип распространения переносов между сумматорами Уоллеса. Кружками на этом рисунке обозначены одноразрядные сумматоры; выходные линии, направленные вниз, соответствуют выходам сумм, вниз и влево — выходам переносов. Цифры у входов и выходов соответствуют весовым значениям сигналов; c_i и c_o — это входные и выходные переносы, поступающие от аналогичных схем Уоллеса из двух соседних младших к двум соседним старшим разрядам. Например, выражение $c_i 2_{III}^{(k-2)+2}$ надо понимать так: входной перенос сформирован на III уровне суммирования в $k - 2$ схеме Уоллеса, а его вес равен k .

При суммировании по методу Уоллеса происходит частичное распространение переносов в область старших разрядов. Перенос, появляющийся в k -м разряде на i -м уровне, учитывается в $k + 1$ или $k + 2$ разрядах на $i + 1$ или $i + 2$ уровне. Поскольку переносы распространяются в область старших разрядов с понижением уровня, то накопления задержки распространения переносов не происходит.

Суммирование Уоллеса выгодно реализовывать на элементах, имеющих малые и примерно равные времена $T_{пс}$ и $T_{п}$. Принимая их равными 20 нс, что соответствует быстродействию ТТЛ-схем, и учитывая, что для 32-разрядных чисел $A_y = 8$ и на завершающее суммирование, выполняемое на АЛУ серии 155 с цепями ускоренного переноса, необходимо 114 нс, получим время умножения ≈ 275 нс.

Все рассмотренные параллельные методы и особенно в п. п. 3.1.3 и 3.1.4 допускают конвейерный режим получения произведений, который реализуется путем введения между отдельными уровнями сумматоров дополнительных буферных регистров. Это при работе с большими массивами данных в несколько раз увеличивает быстродействие.

3.2. Методы уменьшения количества частичных произведений. Прин-

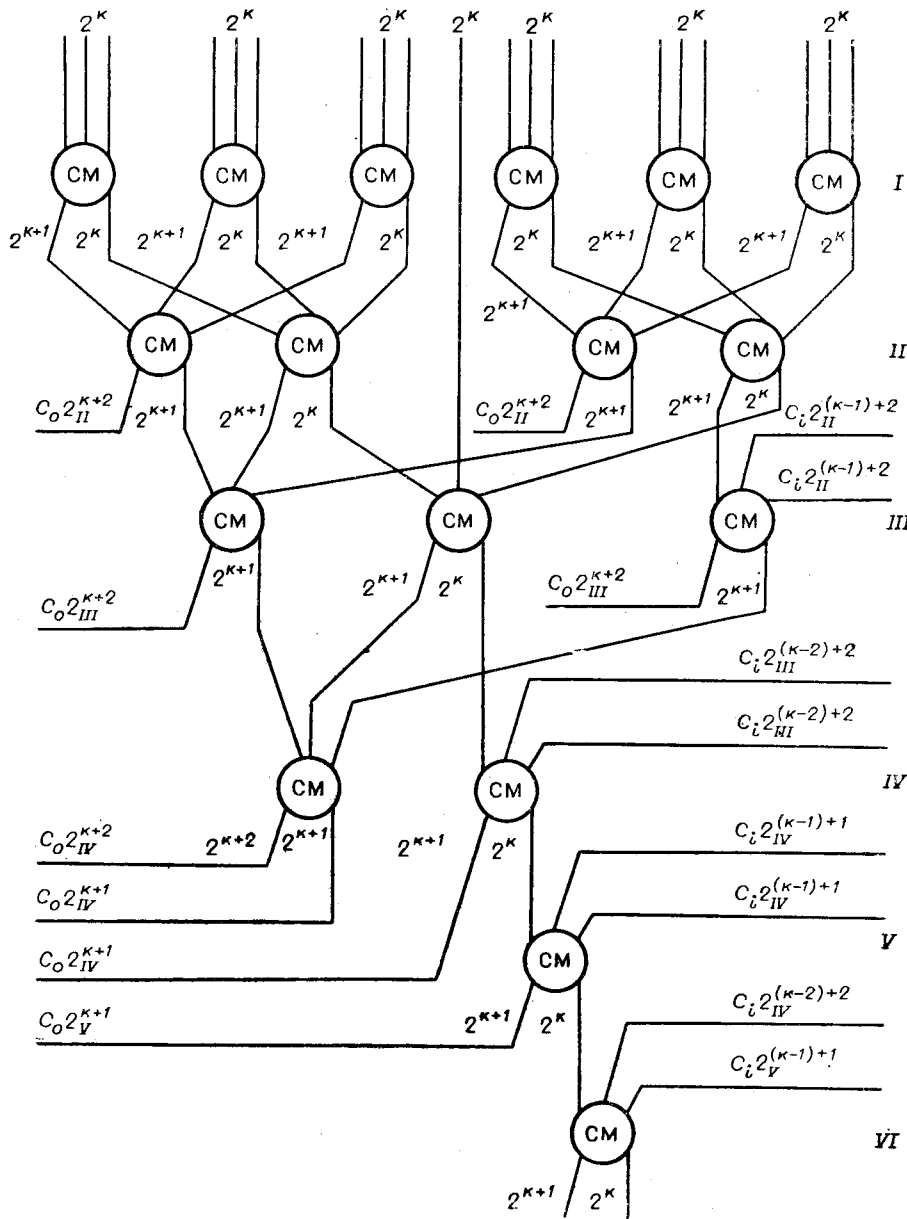


Рис. 4. Дерево Уоллеса на 19 входов.

цип, на котором основываются такие методы, заключается в получении укрупненных частичных произведений на малоразрядных умножителях, чаще всего комбинационных, с последующим их суммированием.

Процесс перемножения 8-разрядных операндов с использованием 4-разрядных умножителей показан на рис. 5. Здесь точками обозначены частичные произведения, а пунктиры ограничивают укрупненные промежуточные результаты, полученные на отдельных 4-разрядных умножителях.

В качестве малоразрядных умножителей в этом случае могут использоваться микросхемы SN74274 [8], позволяющие перемножать 4-разрядные операнды за 40 нс. Зачастую для получения произведения

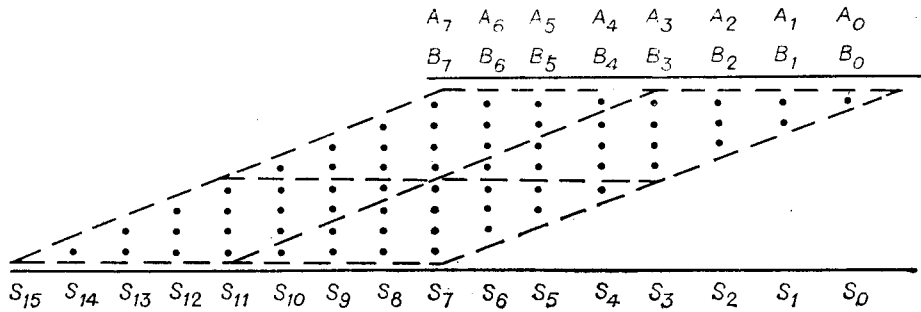


Рис. 5. Процесс умножения двух 8-разрядных чисел с применением 4-разрядных умножителей.

применяется дополняющая друг друга пара микросхем, например таких, как SN74284, SN74285 [8].

Количество отдельных комбинационных умножителей для много-разрядных чисел оказывается значительным, например, для сомножителей разрядностью 32×32 необходимо 128 микросхем типа SN74284, SN74285. Суммирование укрупненных частичных произведений целесообразно осуществлять в соответствии с рассмотренными в п. 3.1 методами. Особенно хорошие результаты дает применение для этих целей сумматоров Уоллеса. Так, использование микросхем SN74LS275 (рис. 6), построенных по методу Уоллеса совместно с SN74274, позволяет получить произведение 32-разрядных чисел за 116 нс. Микросхема SN74LS275 имеет семь равнозначных входов слагаемых, на которые подаются частичные произведения, и два входа переносов. Выходные сигналы микросхемы позиционно зависимы и функционально подразделены на две группы. Сигналы переносов $c_0 2_{III}^{k+2}$, $c_0 2_{III}^{k+1}$ зависят только от состояний входов слагаемых. Например, на выходе $c_0 2_{III}^{k+2}$ логическая единица появится, если на входах 2^k суммарное количество единиц будет больше или равно 4. Выходные сигналы 2^k и 2^{k+1} , формируемые на IV уровне схемы, зависят не только от слагаемых данного разряда, но и от наличия входных переносов. Принцип объединения сумматоров Уоллеса показан на рис. 7. Время суммирования семи операндов любой длины определится задержкой на отдельном одnorазрядном сумматоре Уоллеса и временем суммирования с распространением переноса.

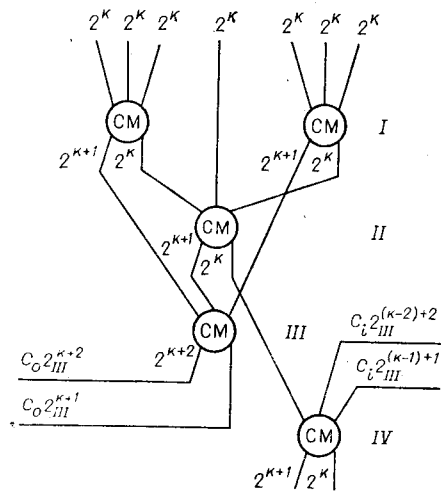


Рис. 6. Функциональная схема одnorазрядного сумматора Уоллеса SN74LS275.

Легко показать, что при суммировании укрупненных частичных произведений, полученных на комбинационных умножителях, в каждом разряде суммируется не более чем N слагаемых, число которых определяется формулой

$$N = 2E(n/k) - 1, \quad (7)$$

где n — разрядность операндов, k — разрядность умножителей.

При k , равном 4, для 16-разрядных и 32-разрядных операндов N равно соответственно 7 и 15. Число 7 объясняет выбор количества входов микросхемы SN74LS275. Умножитель, построенный с ее ис-

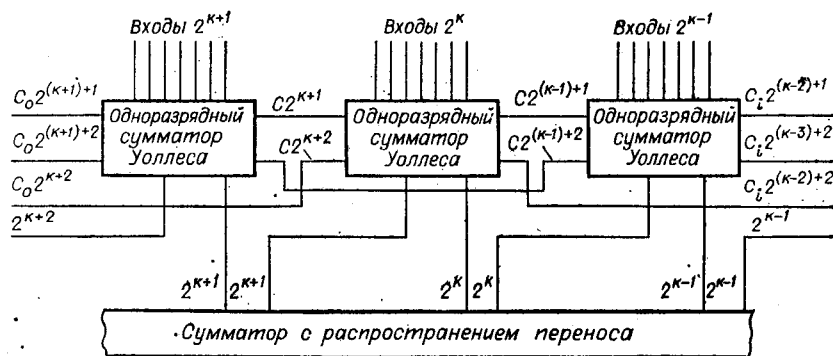


Рис. 7. Суммирование частичных произведений при помощи многоходовых сумматоров.

пользованием, состоит из трех каскадов. Первый каскад включает умножители 4×4 , второй — сумматоры Уоллеса, третий — сумматор с распространением переноса. Как видно из рис. 4, 6, 7, умножитель с суммированием по методу Уоллеса можно реализовать на элементах серии 155, т. е. на полных сумматорах и АЛУ. В [9] сообщается о подобной реализации умножителя 16-разрядных чисел, построенного на 100 интегральных схемах и обладающего быстродействием 400 нс.

3.2.1. Формирование укрупненных частичных произведений методами ускоренного суммирования. В качестве этих методов могут быть использованы практически все из рассмотренных в п. 3.1. Следует заметить, что в этом случае построение малоразрядных умножителей целесообразно осуществлять по комбинационной схеме, позволяющей получить на более высокое быстродействие при достаточно простой реализации.

3.2.2. Логические методы получения укрупненных частичных произведений. Такие методы использованы в умножителе MM167558 фирмы «Mopolitic Memories Inc.» [3], где отдельные частичные произведения получают с помощью нескольких групп мультиплексоров в соответствии с модифицированным алгоритмом Бута (см. таблицу), но не последовательно, как рассматривалось ранее, а параллельно. Полученные частичные произведения суммируются с помощью встроенного в микросхему сумматора Уоллеса. Время умножения чисел разрядностью 8×8 — 100 нс. На основе этой микросхемы можно строить многоуровневые умножители. Для обработки 32-разрядных операндов необходимо 16 подобных элементов, а также дополнительное оборудование (схемы Уоллеса, сумматоры).

3.2.3. Табличные методы получения частичных произведений. Основная особенность табличных умножителей состоит в отказе от процесса суммирования операндов и в замене его выборкой результата из постоянного запоминающего устройства (ПЗУ) по адресам, определяемым множимым и множителем. Для перемножения двух 4-разрядных чисел необходимо ПЗУ с длиной слова в 8 разрядов и с количеством адресов 256 (например, две микросхемы типа K155PE4). Для построения умножителя 32-разрядных чисел потребуется 128 таких микросхем, а также оборудование для суммирования укрупненных частичных произведений. Общий объем такого умножителя можно оценить в 170—180 интегральных элементов, а время умножения — в 300—400 нс. Использование табличного метода умножения подробно рассмотрено в [10], где сообщается об умножителе 24-разрядных чисел, построенном на 90 интегральных микросхемах и имеющем время умножения 200 нс.

4. **Выводы.** Проведенное рассмотрение методов позволяет сделать следующие выводы. Для реализации последовательных алгоритмов требуется в среднем в 5—10 раз больше времени и во столько же раз

меньше оборудования, чем для параллельных. В настоящее время параллельные методы целесообразно использовать для построения мощных умножительных устройств, входящих в состав вычислителей широкого назначения, либо для реализации сравнительно малоразрядных умножительных устройств. Характерные времена умножения для них — 40—400 нс. Для специализированных многоразрядных умножителей, не требующих особого быстродействия, более подходят последовательные методы. Характерные времена умножения в этом случае составляют $1,5 \div 4,0$ мкс. Следует заметить, что в [11] производится анализ алгоритмов умножения, имеющий несколько сходных моментов с содержанием настоящей работы.

5. Блок-схема умножителя. В заключение рассмотрим аппаратную реализацию умножителя 32-разрядных чисел, который, по условиям применения, должен отвечать двум основным требованиям: во-первых, обладать быстродействием не хуже 2,5 мкс и, во-вторых, размещаться на одной плате (240×280 мм). Для достижения требуемых характеристик целесообразно выбрать модифицированный алгоритм Бута, реализация которого позволяет получить хорошее быстродействие при практически минимальном объеме оборудования.

Умножитель (рис. 8) предназначен для работы с целочисленными операндами, заданными в дополнительном коде. Умножитель содержит три основных регистра: множимого (32 р.), множителя (32 р.), частичных произведений (34 р.); арифметико-логическое устройство (34 р.); схему принятия решений, служащую для выбора режимов работы АЛУ и регистра МН. Умножитель с помощью стандартных приемников и передатчиков данных подключается к 32-разрядной двунаправленной общей шине. Предусмотрена возможность селективного выбора данного блока, что допускает подключение многих подобных устройств к одной и той же общей шине. Управление умножителем осуществляется с помощью 3 шин. Система команд позволяет производить умножение 16- или 32-разрядных чисел для получения соответственно 32- или 64-разрядного произведения, ввод и вывод операндов и полное тестирование основной аппаратной части устройства.

Особенности функциональной схемы устройства состоят в следующем:

А. Между регистром МН и АЛУ отсутствует группа вентилях, как в схеме рис. 3. Такая возможность появляется благодаря тому, что АЛУ (К155ИП3) способно реализовать не только операции $A + B$, $A - B$, но и просто передачу A .

Б. Между регистром МН и АЛУ отсутствует коммутатор, обычно применяемый в схемах п. 2.2 для получения удвоенного множимого. Такая возможность появляется благодаря тому, что регистр множимого выполнен сдвиговым (К155ИР13); это позволяет легко формировать удвоенное множимое и восстанавливать одинарное. Так как сдвиг может быть по времени совмещен с записью частичного результата в регистр ЧП и сдвигом вправо в регистре МТ, то дополнительного времени по сравнению с формулой (2) для этих операций не требуется.

В. Осуществлен монтажный сдвиг частичного произведения вправо, что позволяет исключить из времени умножения время на сдвиги и согласно (2) ускоряет процесс умножения примерно на 33%.

Г. Умножитель посредством приемников-передатчиков (К589АП26) подключается к двунаправленной шине, что существенно облегчает мультиплицирование подобных блоков в системе.

Для достижения максимально возможного быстродействия в умножителе применена жесткая временная синхронизация. Минимальный такт работы выбран из следующих соображений: АЛУ (К155ИП3) со схемой ускоренного переноса (К589ИК03) осуществляет суммирование 34-разрядных чисел за 57 нс; для предварительной установки данных

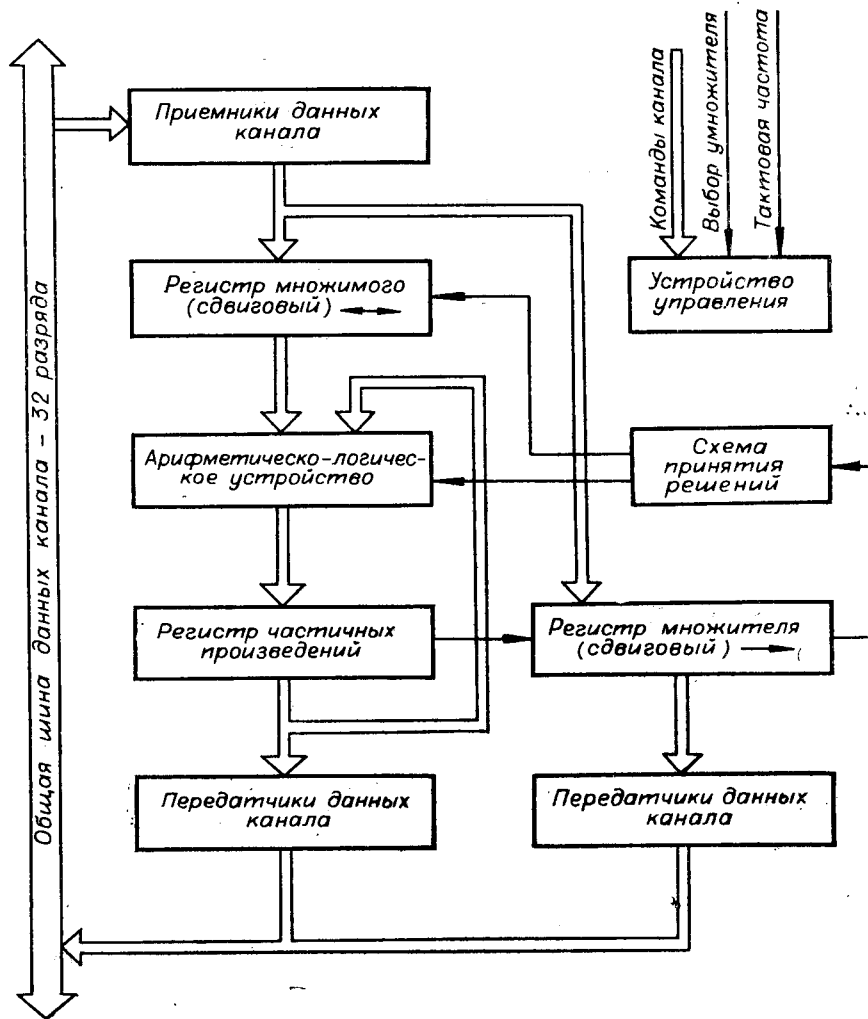


Рис. 8. Реализованная блок-схема умножителя.

на входе регистров ЧП, МН (К155ИР13) необходимо 20 нс; время распространения данных со входа на выход этих регистров — 32 нс. Суммируя эти времена, для одиночного такта «сложение — сдвиг» получаем временной интервал 109 нс. Все управляющие сигналы так же, как и информационные, должны формироваться внутри этого периода, что трудно осуществить из-за больших задержек распространения сигналов по цепям управления. Поэтому применено двухступенчатое управление, т. е. имеются схемы подготовки и схемы принятия решений. Первые, как правило, комбинационного типа, определяют, что нужно будет делать в следующем такте. Схемы принятия решений — триггерного типа, с жесткой синхронизацией и выравненными по всей схеме умножителя задержками распространения сигналов от входов синхронизации до выходов управления регистрами и АЛУ. Схемы принятия решений показывают, что нужно делать в текущем такте умножения.

Умножитель построен на 61-й интегральной микросхеме, 24 из которых служат для реализации алгоритма, 21 обслуживает канал связи, остальные 16 используются в цепях управления. Двадцать две микросхемы умножителя имеют корпуса с 24(28) выводами, остальные — с 14(16) выводами. С учетом времени загрузки операндов и затрат на ~~сиг~~

хронизацию момента запуска с тактовой частотой умножитель выполняет перемножение 32-разрядных чисел за 2,2 мкс, а 16-разрядных за 1,3 мкс.

Автор выражает глубокую признательность канд. техн. наук А. Н. Касперовичу и канд. техн. наук И. И. Коршеверу за ценные замечания, сделанные при чтении рукописи.

ЛИТЕРАТУРА

1. Карцев М. А. Арифметика цифровых машин. М., «Наука», 1969, с. 470—481.
2. Дроздов Е. А., Комарницкий В. А., Пятибратов А. П. Многопрограммные цифровые вычислительные машины. М., Воениздат, 1974, с. 250—259.
3. Уэйзер, Питерсон. Быстродействующий цифровой умножитель для обработки сигналов в реальном времени.— «Электроника» (США), 1977, т. 50, № 20, с. 40—49.
4. Каган Б. М., Каневский М. М. Цифровые вычислительные машины и системы. М., «Энергия», 1973, с. 339.
5. Мик, Спрингер. Однокристалльный умножитель в цифровых процессах.— «Электроника» (США), 1976, № 10, с. 47—54.
6. Мик. Цифровой умножитель для совместной работы с ЦП.— «Электроника» (США), 1977, т. 50, № 20, с. 75—76.
7. Habibi A., Wintz P. A. Fast multipliers.— "IEEE Trans. on Computers", 1970, vol. C-19, N 2.
8. The TTL Data Book for Design Engineers. Second Edition. USA, Texas Instruments Inc., 1976, p. 7. 420—7.423; p. 7.391.
9. Sapowski Goseph J. The matrix transform processor.— "IEEE Trans. on Computers", 1976, vol. C-25, N 7, p. 703—712.
10. Stenzel W. J., Kubitz W. J., Garcia G. H. A compact high— speed parallel multiplication scheme.— "IEEE Trans. on Computers", 1977, vol. 26, N 10, p. 948—957.
11. Паразурмен. Аппаратное обеспечение микропроцессоров.— «Экспресс-информация. Приборы и элементы автоматки и вычислительной техники», М., ВИНТИ, 1977, № 46, с. 31—42.

Поступила в редакцию 20 октября 1978 г.;
окончательный вариант — 3 января 1979 г.

УДК 519.853.6+681.3 : 621.38

А. С. ЗАГОРУЙКО

(Новосибирск)

РЕЗУЛЬТАТЫ СРАВНЕНИЯ РЕЛАКСАЦИОННЫХ МЕТОДОВ МНОГОМЕРНОЙ МИНИМИЗАЦИИ НА ЭВМ

Постановка задачи. В настоящее время существует большое разнообразие методов многомерной минимизации. Применение их к конкретной задаче ведет к большим или меньшим затратам машинного времени для достижения заданной точности решения. Некоторые методы могут оказаться совсем неработоспособными в применении к каким-то задачам, хотя по отношению к другим задачам они показывают хорошие результаты. Существенно сказывается также программная реализация метода для ЭВМ. Поэтому в тех случаях, когда необходимо решать задачи оптимизации с широким набором различных функций, как это имеет место в машинном проектировании электронных схем, целесообразно пользоваться не одним методом, а целой совокупностью их. При этом возникает задача сравнения различных программ минимизации.

В работе сравниваются разработанные программы, реализующие различные алгоритмы методов многомерной минимизации, с целью уста-