

Поступила в редакцию 5 июня 1980 г.

УДК 681.325.3

А. И. ЕФРЕМОВ, А. Н. КАСПЕРОВИЧ, Н. В. ЛИТВИНОВ,  
Ю. В. ШАЛАГИНОВ  
(Новосибирск)

## ШИРОКОПОЛОСНЫЙ АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

До настоящего времени большинство АЦП для преобразования широкополосных сигналов (в том числе телевизионных) как у нас, так и за рубежом создавались, как правило, на основе двухступенчатой схемы параллельно-последовательного синхронного АЦП с устройством выборки и хранения (УВХ) на входе. Авторам представляется перспективным построение широкополосного АЦП по принципу амплитудной свертки сигналов.

Принцип действия подобного АЦП рассмотрен в [1], где описание его работы и некоторые теоретические вопросы функционирования таких приборов даны применительно к сверхбыстродействующему АЦП, работающему без УВХ. Ниже описывается один из возможных вариантов широкополосного АЦП, а также основные его узлы — устройство выборки и хранения и устройство амплитудной свертки.

Основное внимание при создании этого АЦП было обращено на то, чтобы полоса кодируемого сигнала и частота дискретизации соответствовали теореме отсчетов. (Для современного широкополосного АЦП полоса входного сигнала должна быть порядка 5—7 МГц, а частота дискретизации 15—20 МГц.)

На рис. 1 приведена структурная схема разработанного АЦП со следующими обозначениями: УВХ — устройство выборки и хранения; УАС I и УАС II — устройства амплитудной свертки; НК I, НК II — младшие наборы компараторов; СНК — старший набор компараторов; КМ — кодер младших разрядов; КС — кодер старших разрядов; регистры данных РД I и РД II; ПГД — преобразователь кода Грея в двоичный код; ПУ — преобразователь уровней; УУ — устройство управления.

Сигнал с выхода УВХ поступает на два устройства амплитудной свертки (УАС). Выход каждого УАС подключен ко входу соответствующего младшего набора компараторов. Другие выходы одного из УАС подсоединены к входам старшего набора компараторов, определяющего номер участка свертки, в котором находится входной сигнал. На амплитудных характеристиках УАС (рис. 2, а) показаны рабочие участки (выделены жирной линией), соответствующие двум зонам,

в которых размещены уровни квантования наборов НК I и НК II. Эти две характеристики в совокупности образуют амплитудную характеристику, показанную на рис. 2, б. Благодаря такой результирующей характеристике с помощью 32 компарато-

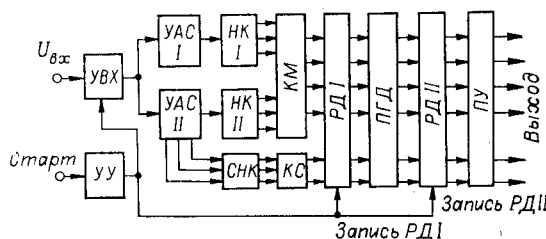


Рис. 1.

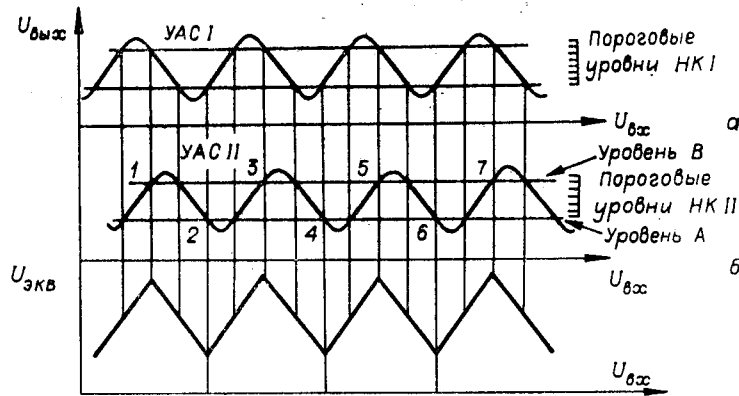


Рис. 2.

ров в наборах НК I и НК II и 7 компараторов в СНК осуществляется квантование входного сигнала по 256 уровням. Сигналы с выходов наборов компараторов с помощью КМ и КС преобразуются в 8-разрядный код Грея.

Особенностью описываемого АЦП является то, что на вход старших компараторов сигнал подается с выходов дифференциальных каскадов УАС I, не используемых для создания сигнала свертки. Тем самым достигается упрощение конструкции АЦП и более стабильная привязка пороговых уровней младших компараторов к уровням старших.

АЦП со сверткой, работающие без УВХ (так же, как и параллельные АЦП), позволяют получать высокую частоту дискретизации, которая определяется максимально допустимой тактовой частотой записи в регистр результата. Однако полоса частот, в которой сигнал кодируется с динамической погрешностью меньше кванта, в таких АЦП будет ограниченной из-за конечного быстродействия элементов. Соотношение между полосой частот входного сигнала и частотой дискретизации у такого АЦП не соответствует требованиям теоремы отсчетов.

Оценим возможные динамические свойства АЦП с набором компараторов и запоминанием результата преобразования в выходном регистре (в том числе и описываемого АЦП) в предположении, что он используется без УВХ. Будем считать, что на вход АЦП подан пилообразный сигнал. Тогда на выходе младшего разряда кодера, преобразующего унитарный код в код Грея, должен формироваться сигнал в виде меандра. Причем, если увеличивать крутизну входного сигнала, период импульсов меандра сокращается, импульсы приобретают треугольную форму и, наконец, теряют первоначальную амплитуду и симметрию. В результате этого значение младшего разряда АЦП перестает соответствовать истинному коду. При дальнейшем росте крутизны входного сигнала аналогичные изменения претерпевают сигналы и в более старших разрядах кодера.

Частота  $f_{гр}$ , при которой нарушается работа АЦП в младшем разряде, может быть определена из следующего неравенства:

$$f_{гр} < q / (A \pi t_{фр}),$$

где  $q$  — величина кванта,  $A$  — амплитуда синусоидального сигнала,  $t_{фр}$  — время нарастания (спада) сигналов в логических цепях кодера.

При применении в АЦП кодера, работающего в обычном двоичном коде, в знаменатель формулы должен быть введен множитель 2.

Для 8-разрядного АЦП отношение  $q/A = 1/128$ . При использовании

в АЦП наиболее быстродействующих логических элементов серии 100 и 500 ( $t_{\text{фр}} \approx 1,8$  нс) оказывается, что  $f_{\text{гр}} \approx 1$  МГц.

Практически вследствие недостаточно качественного временного согласования сигналов в цепях УАС и НК разрывы в характеристике АЦП (запрещенные комбинации) возникают при еще меньших частотах входного сигнала.

Заметим, что некоторое расширение полосы может быть получено за счет запоминания унитарного кода (подобно тому, как это описано в [2]).

Существенное расширение полосы АЦП достигается при использовании УВХ (конечно, при этом предельное значение частоты дискретизации уменьшается). В этом случае полоса частот входного сигнала АЦП и его апертурное время почти целиком определяются устройством выборки и хранения. Частота дискретизации в основном зависит от времени затухания переходных процессов в аналоговых узлах АЦП (устройствах амплитудной свертки и компараторах).

**Устройство выборки и хранения.** При создании широкополосных АЦП определенные трудности возникают при разработке УВХ с малым временем выборки ( $< 30$  нс) и малым временем установления переходных процессов на его выходе ( $< 10$  нс).

Значительного уменьшения влияния переходных процессов можно достичь за счет дифференциального включения элементов УВХ. Принципиальная схема разработанного дифференциального УВХ представлена на рис. 3. Работает устройство следующим образом. Однофазный входной сигнал входным балансным усилителем на микросхеме Э1 преобразуется в двухфазный. Сигналы с выходов балансного усилителя через каскады с общей базой на транзисторах  $T_2, T_3$  поступают на управляемые эмиттерные повторители на транзисторах  $T_5, T_8$ . Буферные каскады с общей базой защищают входной каскад от ударного воздействия бросков тока при переключении ключей, упрощают согласование, а также расширяют полосу пропускания каскада. Управление эмиттерными повторителями осуществляется переключателями тока, выполненными на транзисторах  $T_4, T_6$  и  $T_7, T_9$ . Преобразуемые сигналы запоминаются на конденсаторах  $C_8, C_9$  и через дифференциальный эмиттерный повторитель ( $T_{10}, T_{11}$ ) подаются на выход.

Для построения ключа в описываемом УВХ использована известная схема на управляемом эмиттерном повторителе. Подобный ключ, практически не уступая по своим характеристикам другим видам ключей, отличается более простыми цепями управления.

Когда переключатель тока, управляемый непосредственно от ЭСЛ-микросхем, направляет ток в эмиттер транзисторов  $T_5, T_8$ , то последние переходят в режим повторителя и перезаряжают накапливающие конденсаторы. При переключении тока эмиттер — базовые переходы транзисторов  $T_5$  и  $T_8$  запираются падением напряжения на нагрузочных резисторах  $R_{13}$  и  $R_{14}$ . Одновременно эмиттерные цепи этих транзисторов обесточиваются. Значение запирающего падения напряжения выбирается больше максимального изменения напряжения на резисторах  $R_{13}, R_{14}$  от действия входного сигнала, поэтому переходы база — эмиттер транзисторов  $T_5$  и  $T_8$  остаются надежно запертыми на все время хранения.

Очевидно, что для данной схемы УВХ синфазные помехи, возникающие при коммутации ключей и от наводок цифровой части, вычитаются и тем самым минимизируются.

В режиме хранения максимальное изменение зафиксированного разностного напряжения описывается выражением

$$\Delta U = (I_{\text{б}_1}/C_1 - I_{\text{б}_2}/C_2) t_x,$$

где  $I_{\text{б}_1}, I_{\text{б}_2}$  — токи баз выходного повторителя;  $t_x$  — время хранения. Кро-

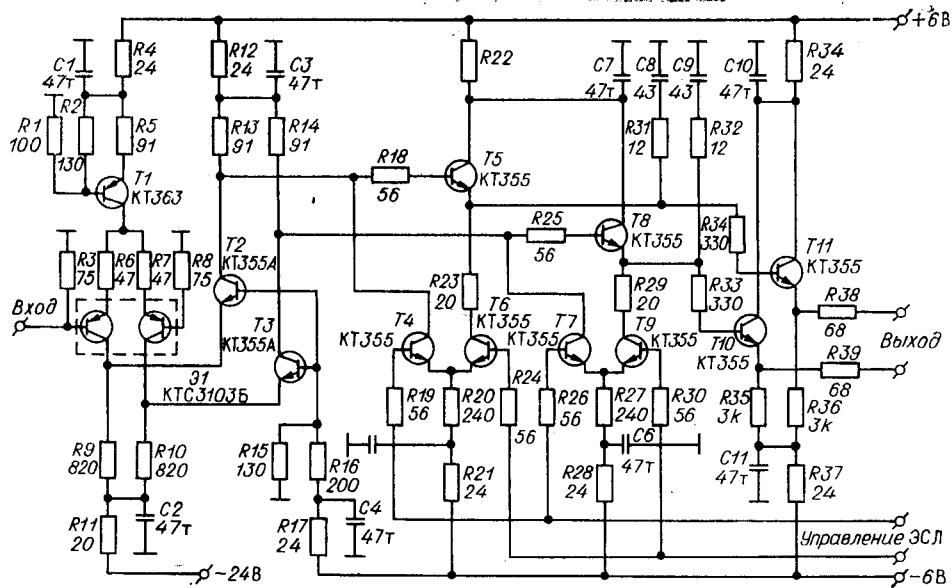


Рис. 3.

ме того, в дифференциальной схеме УВХ уменьшаются и статические погрешности, вызываемые нелинейностью коэффициента передачи повторителей, температурным дрейфом.

Временная неопределенность привязки отсчетов — апертурное время — определяется главным образом задержкой запираания ключей УВХ. Время запираания ключей в описываемом УВХ не зависит от уровня выходного сигнала, поскольку при любом его значении потенциал базы ключа-повторителя всегда нужно изменять только на 0,7 В. За счет дифференциальности УВХ задержка запираания ключей инвариантна к знаку

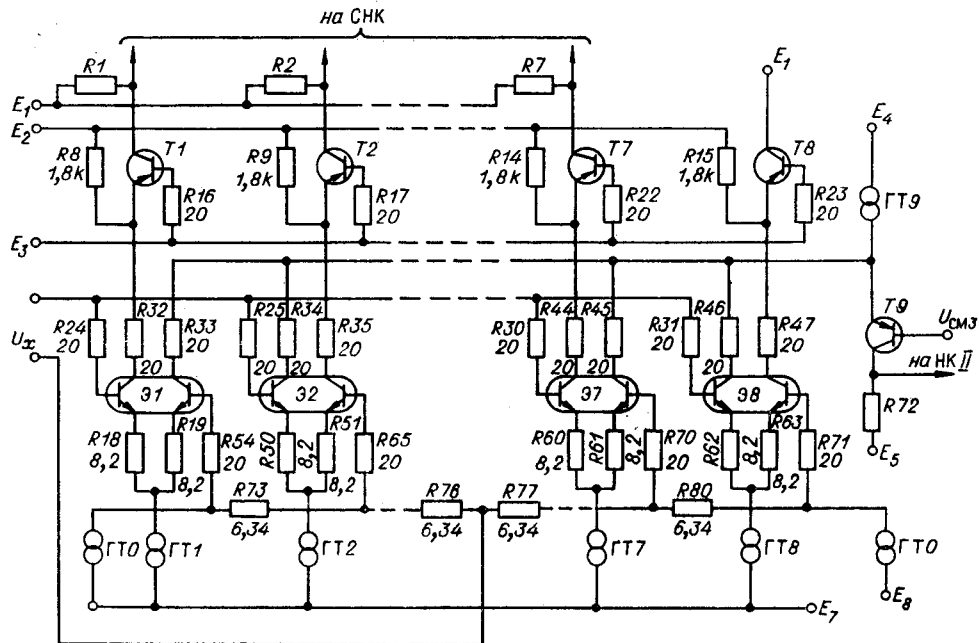


Рис. 4.

производной входного сигнала. В связи с тем, что скорость изменения управляющего сигнала больше чем на порядок скорости изменения входного сигнала, неопределенность привязки отсчета будет составлять соответствующую долю фронта, управляющего ключом. Апертурное время описываемого УВХ, как и для УВХ на диодно-мостовых ключах, составляет менее 0,3 нс.

**Устройство амплитудной свертки**, подобное описанному в [1], представляет собой набор из 8 дифференциальных каскадов (на микросхемах Э1—Э8). Одни из входов этого набора объединены, а вторые входы присоединены к резисторному делителю ( $R73—R80$ ), задающему точки излома характеристики УАС — пороги переключения каскадов (см. упрощенную принципиальную схему на рис. 4). Дифференциальный входной сигнал с выхода УВХ на вход каждого УАС поступает через дифференциальные повторители: с одного выхода — на среднюю точку делителя, с другого — на базы дифференциальных каскадов УАС. Выходы дифференциальных каскадов объединены на выходном каскаде с общей базой и поданы на младшие наборы компараторов.

Сигналы с необъединенных выходов дифференциальных каскадов (только с УАСII) через разделительные каскады с общей базой ( $T4—T7$ ) подаются на компараторы старшего набора.

К устройству амплитудной свертки предъявляются достаточно жесткие метрологические и динамические требования. Требования к точности в статике более жесткие, чем требования к ЦАП в последовательно-параллельных АЦП. Это определяется тем, что устройства амплитудной свертки должны обеспечивать неискаженную передачу сигналов при работе в линейном режиме.

Статический коэффициент передачи каскада (по прямому и инверсному выходам) может быть определен из выражения

$$K = \beta \alpha R_n / [2R_6 + 2r_6 + (1 + \beta)(2R_0 + r_{\text{ЭП}} + r_{\text{ЭБ}})],$$

где  $\beta$  и  $\alpha$  — коэффициенты передачи транзисторов ДУ и в каскаде с общей базой;  $R_0$  — сопротивление в эмиттере;  $r_{\text{ЭП}}$  и  $r_{\text{ЭБ}}$  — сопротивления эмиттеров транзисторов, работающих соответственно с общим коллектором и общей базой;  $r_6$  — сопротивление базы;  $R_n$  — общее сопротивление нагрузки (на выходе каскада с общей базой);  $R_6$  — сопротивление в базе.

При использованных значениях резисторов в УАС коэффициент усиления УАС на линейном участке составляет около 10. Для повышения точности и стабильности коэффициента передачи ДУ выполнены на микросхемах 1НТ591В, имеющих достаточно большое значение  $\beta$  и малый разброс параметров транзисторов пары.

Нелинейность коэффициентов передачи определяется нелинейным характером сопротивлений  $r_{\text{ЭП}}$  и  $r_{\text{ЭБ}}$ , и ее расчетное значение на рабочем участке при изменении токов транзисторов от 2 до 6 мА (при  $R_0 = 8$  Ом) составляет  $\pm 6\%$ .

Входная цепь УАС может быть представлена звеном первого порядка, тогда процесс установления сигнала на входе УАС при скачке на входных зажимах устройства будет экспоненциальным. При максимально допустимом скачке на входе время  $t_k$ , через которое сигнал на входе каждого  $k$ -го каскада должен пересечь средний уровень линейной зоны, будет составлять

$$t_k = \tau_{\text{вх}} \ln \frac{A_0}{A_0 - A_k} = \tau_{\text{вх}} \ln \frac{A_0}{A_0 - \frac{k}{n} A_0},$$

где  $A_0$  — установившееся значение;  $A_k$  — значение порога переключения  $k$ -го каскада (в относительных единицах);  $k$  — номер каскада;  $n$  — число каскадов в УАС.

Время переходного процесса на выходе УАС может быть представлено как сумма времени достижения сигналом на входе каскада линейной зоны и времени переключения каскада. Время переключения каскада может быть определено в соответствии с [3]. В нашем случае выходные сигналы УАС суммируются на каскаде с общей базой, поэтому переходные процессы при переключении в основном определяются цепями базы. Другим отличием каскада УАС от дифференциального каскада микро-схемы является наличие сопротивлений в эмиттерах. Постоянная времени цепи  $\tau_6$  дифференциального каскада может быть оценена с помощью выражения

$$\tau_6 \approx [r_6(C_f + C_d) + R_3 C_d],$$

где  $r_6$  — сопротивление базы транзистора;  $C_f$  — суммарная барьерная емкость коллекторного и эмиттерного переходов;  $C_d$  — диффузионная емкость. Среднее значение диффузионной емкости определяется по формуле

$$\bar{C}_d = I_0 / (\omega_a \Delta U_6),$$

где  $I_0$  — ток генератора тока в эмиттерных цепях дифференциального каскада;  $\Delta U_6$  — изменение напряжения на базе каскада, необходимое для переключения каскада. При  $I = 8$  мА,  $r_6 = 100$  Ом,  $C_0 = 5$  пФ,  $C_\kappa = 4$  пФ,  $R_3 = 8,2$  Ом,  $\Delta U_6 = 60$  мВ величина постоянной времени  $\tau_6$  составляет около 4,5 нс.

Таким образом, при воздействии на вход УАС ступенчатого сигнала каждой парой полностью переключающихся соседних дифференциальных каскадов формируется импульс тока, являющийся суперпозицией двух экспонент с разными знаками производных, смещенных во времени на величину  $t_{cm} = t_k - t_{k-1}$ . Перекрывающиеся по времени выбросы нескольких пар дифференциальных каскадов создают выброс тока, затухающий с постоянной времени  $\tau_6$ .

Более детальное аналитическое исследование переходных процессов в УАС в значительной степени осложняется необходимостью учета влияния конструктивных особенностей линий связи между выходами эмиттерных повторителей и входами дифференциальных каскадов УАС. Эти линии во многом определяют вид переходного процесса в УАС. Поэтому для реализации АЦП на дискретных компонентах (или микросхемах с небольшой степенью интеграции) точный расчет переходных процессов становится громоздким.

Экспериментальное исследование показало, что при скачке на входе УАС претерпевают ударное возбуждение, которое затухает через весьма большое время (до 100 нс). Поэтому на выходе УВХ применены демпфирующие RC-цепи. Наименьшее время затухания переходного процесса, равное 45 нс, достигается при  $\tau = RC = 4,5$  нс.

**Наборы компараторов.** В качестве компараторов использованы дифференциальные приемники с линии (100ЛП115). Совместно с микросхемами кодера они обеспечивают порог чувствительности порядка 5 мВ и напряжение смещения меньше 10 мВ, что при кванте младшего набора 50 мВ позволяет получить приемлемую погрешность. Применение микросхем стандартных компараторов представляется нецелесообразным из-за их малой степени интеграции.

Число компараторов в младших НК равно 16, 15 из которых предназначены для квантования сигнала внутри линейной рабочей зоны, а 16-й компаратор используется для того, чтобы отмечать конец рабочей зоны (и тем самым начало следующей). Выходной сигнал каждого УАС поступает на свой НК через дифференциальный повторитель. На второй вход этого повторителя подано опорное напряжение, а в его эмиттерную цепь включен резистивный делитель, задающий пороги срабатывания компараторов.

Старший набор содержит 7 компараторов, на вход каждого из которых поступает сигнал с соответствующего выхода УАСИ. Пороги срабатывания старшего набора компараторов соответствуют точкам 1...7 амплитудной характеристики УАСИ (см. рис. 2). Поскольку сигналы, поступающие на четные и нечетные компараторы, снимаются соответственно с прямых и инверсных плеч каскадов УАС, для задания порогов компараторов старшего набора используются два опорных напряжения, подаваемых на объединенные входы четных и нечетных компараторов.

**Кодер, декодер, регистры и преобразователь уровней.** Унитарный код с выхода набора компараторов преобразуется в код Грея. Преобразование унитарного кода Грея приводит к меньшим аппаратным затратам, чем осуществление фиксации. Кроме того, код Грея представляется естественным при кодировании сигнала с выхода УАС, что позволяет получать более простую реализацию кодера.

Кодер построен в соответствии со следующими логическими формулами:

$$\begin{aligned}
 y_1 &= \{[x_{15-I} \oplus x_{13-I}] \vee [x_{11-I} \oplus x_{9-I}] \vee [x_{7-I} \oplus x_{5-I}] \vee [x_{3-I} \oplus x_{1-I}]\} \oplus \\
 &\oplus \{[x_{15-II} \oplus x_{13-II}] \vee [x_{11-II} \oplus x_{9-II}] \vee [x_{7-II} \oplus x_{5-II}] \vee [x_{3-II} \oplus x_{1-II}]\}, \\
 y_2 &= \{[x_{14-I} \oplus x_{10-I}] \vee [x_{6-I} \oplus x_{2-I}]\} \oplus \{[x_{14-II} \oplus x_{10-II}] \vee [x_{6-II} \oplus x_{2-II}]\}, \\
 y_3 &= [x_{12-I} \oplus x_{4-I}] \vee [x_{12-II} \oplus x_{4-II}], \\
 y_4 &= x_{8-I} \oplus x_{8-II}, \\
 y_5 &= \bar{x}_{16-I} \bar{x}_{8-II} \vee \bar{x}_{16-II} \bar{x}_{8-I}, \\
 y_6 &= [x_{1-III} \bar{x}_{3-III}] \oplus [x_{5-III} \bar{x}_{7-III}], \\
 y_7 &= x_{2-III} \bar{x}_{6-III}, \\
 y_8 &= x_{4-III},
 \end{aligned}$$

где  $y_i$  — состояние разряда выходного кода,  $x$  — состояние компаратора, а индексы при  $x$  имеют следующий смысл: арабские цифры — номер компаратора в наборе, римские цифры — номер набора (компараторам старшего набора соответствует индекс III).

Особенным образом формируется пятый разряд кода  $y_5$ . С помощью сигналов с выходов восьми компараторов исключаются ошибки, возникающие в случае расхождения друг относительно друга порогов срабатывания 16-х компараторов.

Все функции ИЛИ выполняются монтажным способом.

Использование второго регистра РДП, хранящего двоичный код результата преобразования, позволяет осуществлять считывание информации с выхода АЦП в течение времени, равного времени преобразования.

**Конструкция.** Конструктивно АЦП выполнен в виде модуля КАМАК двойной ширины. От магистралей КАМАК на модуль заведены только шина «Корпус» и шины питания  $\pm 6$ ,  $\pm 24$  В. Входной аналоговый сигнал и сигналы кода результата преобразования передаются через переднюю панель модуля. Элементы АЦП размещены на одной плате. В основном АЦП выполнен на микросхемах ЭСЛ-логики. Все компоненты АЦП являются доступными и выпускаются отечественной промышленностью в течение ряда лет.

**Заключение.** Созданный макет аналого-цифрового преобразователя обладает следующими параметрами: число разрядов 8; статическая погрешность  $\pm 1$  квант в любой точке шкалы; диапазон входного сигнала  $\pm 1,25$  В; частота запуска от 10 до 15 МГц (без появления дополнительных погрешностей); полоса сигнала, в которой погрешность преобразования сохраняется в пределах  $\pm 1,5$  кванта при испытании по методике [4], составляет 7 МГц; выходные уровни — ТТЛ-логики.

Макет АЦП в течение года используется в цифровой телевизионной системе обработки изображений.

#### ЛИТЕРАТУРА

1. Касперович А. Н., Шалагинов Ю. В. Некоторые вопросы проектирования АЦП с использованием амплитудной свертки сигналов. — Автометрия, 1978, № 4.
2. Касперович А. Н., Мантуш О. М., Шалагинов Ю. В. Двухканальная система сбора и регистрации сигналов микросекундного диапазона. — ПТЭ, 1980, № 1.
3. Анализ и расчет интегральных схем/Под ред. Д. Линна, Ч. Мейера, Д. Гамилтона. М.: Мир, 1969.
4. Беломестных В. А., Вьюхин В. Н., Касперович А. Н. Об одном способе экспериментального определения динамических свойств быстродействующих АЦП. — Автометрия, 1976, № 5.

*Поступила в редакцию 24 ноября 1980 г.*

УДК 621.317.725

Ю. В. ПОЛУБАБКИН, Ю. П. ПРОЗОРОВ, В. М. ШЛЯНДИН  
(Пенза)

#### УЛУЧШЕНИЕ ДИНАМИЧЕСКИХ ХАРАКТЕРИСТИК ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНЫХ АЦП

В последнее время возникла настоятельная необходимость в создании преобразователей аналог — цифра высокой точности (более 9—10 дв. разрядов) с частотой дискретизации 20—100 МГц и спектром входного сигнала выше 1 МГц. Преобразователи такого быстродействия могут быть построены по структуре параллельного АЦП или параллельно-последовательного АЦП с аналоговым запоминанием входного сигнала. Параллельные преобразователи выполняются, как известно, на основе амплитудного анализатора (АА), состоящего из набора пороговых элементов (ПЭ). Дискретизация входной величины в этом случае осуществляется стробированием либо самих пороговых элементов, либо регистра памяти, принимающего информацию с ПЭ. Так как процесс преобразования проходит за один такт и уровни квантования не претерпевают изменений, то динамические свойства таких преобразователей достаточно высоки и определяются в основном частотными свойствами ПЭ и частотой дискретизации. К недостатку параллельных АЦП следует отнести значительные аппаратные затраты при количестве двоичных разрядов более 5—6.

Высокую частоту дискретизации имеют параллельно-последовательные АЦП, преобразование в которых осуществляется за 2 такта. Такие преобразователи имеют два АА (старших и младших разрядов), причем на АА младших разрядов подается разность между значениями входной и компенсирующей величин. При этом входная величина не должна измениться за время операции выделения разности и установления уровня компенсирующего напряжения ( $T$ ) более чем на половину ступени кван-