

И. И. БРОДСКИЙ, В. А. КОЗЛАЧКОВ, И. И. КОРШЕВЕР,
Ю. Е. НЕСТЕРИХИН, С. А. ПАВЛОВ, И. Г. РЕМЕЛЬ
(Новосибирск)

ВЫСОКОПРОИЗВОДИТЕЛЬНЫЙ ПЕРИФЕРИЙНЫЙ ВЕКТОРНЫЙ ПРОЦЕССОР А-12

Введение. Векторные периферийные процессоры, подключаемые к мини-ЭВМ, позволяют в десятки раз повысить их производительность в вычислительных задачах (до 10 Мфлоп/с)*. Системы, содержащие мини-ЭВМ и векторный процессор, заняли в иерархии ЭВМ то место, которое еще 10 лет назад принадлежало ЭВМ среднего класса [1—6]. На базе такого оборудования строятся распределенные локальные системы для обработки информации и для научных расчетов. Системы, включающие мини-ЭВМ и периферийный векторный процессор (так называемые «мега-мини-системы»), обходятся потребителю в несколько раз дешевле, чем подключение к удаленному терминалу мощных вычислительных центров («фабрик счета»), ядром которых являются уникальные высокопроизводительные ЭВМ («супер-ЭВМ»). Важно также то, что пользователь при этом остается единовластным хозяином вычислительных ресурсов и может развивать и реконструировать систему по своему усмотрению.

Другая область приложений векторных периферийных процессоров — это системы реального времени для промышленных применений. Появление на линии с мини-ЭВМ столь мощных вычислительных средств позволило резко сократить время реакции в интерактивных системах и обеспечило возможность постановки гораздо более сложных задач в области автоматизированного управления, трехмерной графики и т. п.

В настоящее время на зарубежном рынке вычислительного оборудования векторные периферийные процессоры представлены 15 фирмами. Фирма «Floating Point Systems» (FPS) (США) вышла на рынок векторных периферийных процессоров одной из первых — в 1975 г. [7]. Сейчас она лидер в данной области, ее продукция чрезвычайно популярна среди пользователей на Западе. Фирма поставляет модификации таких процессоров для подключения к ЭВМ семейств IBM и DEC (в том числе и 64-разрядный процессор, ориентированный на 32-разрядные мегамини-ЭВМ VAX 11-780 семейства DEC).

В 1981 г. в Институте автоматизации и электрометрии СО АН СССР создан отечественный образец периферийного векторного процессора А-12, программно полностью совместимый с моделью AP-120В фирмы FPS. Общий вид процессора представлен на рис. 1. Он выполнен исключительно на отечественных микроселекционных компонентах. Для создания этого процессора

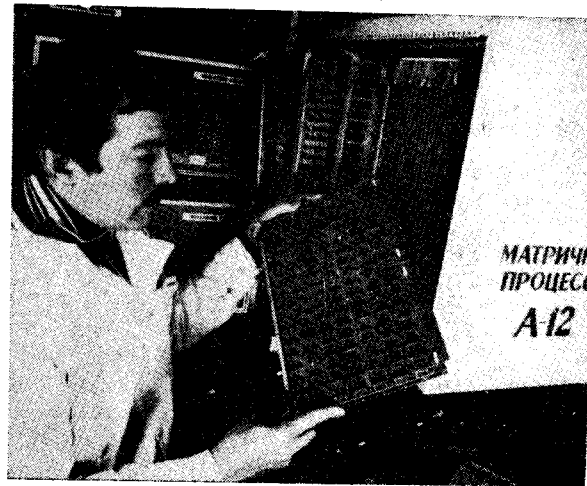


Рис. 1.

* Мфлоп/с (Million Floating Point Operations Per Second) — миллион операций с плавающей запятой в секунду.

в институте освоена технология автоматизированного производства больших многослойных печатных плат. Всего в рамках данной темы разработано и изготовлено 25 типов многослойных (до 7 слоев) плат размером 381×254 мм. Аналогичные работы проводятся в нашей стране и в других организациях [8].

Векторный процессор А-12 имеет тактовую частоту 6 МГц, и с учетом двух используемых арифметических устройств — сумматора и умножителя — его производительность достигает 10 Мфлоп/с. Внутренний формат слова данных 38 разрядов (10 разрядов порядка и 28 — мантиссы). Это больше, чем формат плавающей запятой ЭВМ семейства СМ — «Электроника» (8 разрядов порядка и 25 — мантиссы), и обеспечивает динамический диапазон вычислений от $3,7 \times 10^{-155}$ до $6,7 \times 10^{+153}$ при относительной погрешности 10^{-8} , что удовлетворяет требованиям подавляющего большинства прикладных задач.

Принципы построения векторного процессора. С точки зрения методологии и архитектуры вычислительных систем векторный периферийный процессор содержит технические решения, которые применяются сейчас в области наиболее мощных вычислительных систем — супер-ЭВМ. В периферийных векторных процессорах все это реализовано в масштабах, экономически согласованных с используемой базовой ЭВМ: обычно стоимость подключаемого векторного процессора (20—50 тыс. дол.) удваивает стоимость мини-системы. Различия определяется главным образом технологической базой. В супер-ЭВМ используются интегральные компоненты субнаносекундного диапазона (так называемая ЭСЛ — эмиттерно-связанная логика — в супер-ЭВМ CRAY-1, основная тактовая частота 80 МГц) с пониженной добротностью, требующие сложных конструкторских мер для отвода тепла. В подключаемых векторных процессорах применяется главным образом наносекундная элементная база (так называемая ТТЛ-III — транзистор-транзисторная логика с диодами Шоттки, основная тактовая частота 5—10 МГц), которая вполне удовлетворительно работает с обычным воздушным охлаждением. В последнее время разработчики подключаемых векторных процессоров стали широко использовать коммутируемые вентиляционные матрицы (главным образом на КМОП-технологии), также работающие в воздушном охлаждении, позволяющие повысить тактовую частоту процессоров до 25 МГц.

Основной архитектурный принцип современных векторных процессоров (как подключаемых, так и супер-ЭВМ) — это синхронная конвейерная обработка информации, при которой разные этапы обработки реализуются в течение каждого синхронного такта на различных последовательно соединенных звеньях системы (ступенях конвейера). Такая организация вычислительного процесса, аналогичная построению промышленных конвейеров, позволяет наиболее полно использовать вычислительное оборудование при минимальном общем синхронном цикле.

Идея конвейерной организации вычислительного процесса восходит к ранним моделям ЭВМ, в которые для сокращения времени распространения сигнала в течение одного машинного цикла были введены конвейерные регистры, разделяющие различные этапы обработки. На этом самом нижнем уровне иерархии организации векторных процессоров в настоящее время исключительно широко используются конвейерные регистры (особенно в сложных операционных узлах). Но наиболее характерным для векторных процессоров является функциональный уровень конвейеризации, на котором в едином потоке одновременно выполняются две и более арифметических операций. При этом конфигурация конвейера, включающего различные банки памяти и различные операционные узлы, динамически видоизменяется под управлением микроинструкции на каждом машинном такте.

Поскольку перестройка конвейера, загруженного исходными данными и промежуточными результатами вычислений, во время его работы затруднительна, то и программирование конвейерных процессов обладает

рядом особенностей, определяющих главным образом пользовательскую специфику подобных архитектур [9—10].

Эффективное применение процессора в данной архитектуре существенно зависит от структуры обрабатываемых данных. Ее преимущество наиболее полно раскрывается при реализации векторных алгоритмов, т. е. алгоритмов, содержащих множество однотипных циклов, не прерываемых какими-либо внешними или внутренними (контекстными) переключениями. Векторные последовательности, подлежащие такой обработке, формализуются при этом как операнды более высокого уровня, чем, например, отдельные числа (скаляры). Типичными структурами такого типа являются векторы матриц (их строки и столбцы), в связи с чем подобные процессорные архитектуры чаще всего связывают с операциями над матрицами. Поэтому подключаемые векторные конвейерные процессоры в отечественной литературе иногда называют алгоритмическими матричными процессорами (в отличие от матричных процессоров, представляющих собой один из способов матричной организации многопроцессорной системы) [11—12].

Процессы, требующие большой гибкости операционных средств при обработке данных (например, рекурсии), реализуются на векторных процессорах гораздо менее эффективно, в связи с чем программисты-прикладники тратят много усилий для сведения не векторных последовательностей к векторным.

Архитектура векторного процессора А-12. В векторном процессоре А-12, структурная схема которого приведена на рис. 2, умножитель с плавающей запятой представляет собой конвейер, содержащий три ступени, а сумматор с плавающей запятой — две. Эти два мощных операционных узла своими входами и выходами через два сложных программно-коммутируемых мультиплексора соединены с модулями основной, табличной и сверхоперативной памяти. Основная память в объеме может достигать 1 млн слов упомянутого выше формата, однако в течение одного цикла процессора (166 нс) к ней можно обращаться только в одном направлении (читать данные или записывать их в нее), причем только в режиме «расслоения» (когда последовательные обращения разрешены лишь к перемежающимся номерам банков памяти). Основная память используется для обмена массивами данных с управляющей ЭВМ и хранения основной информации, подлежащей обработке. Табличная память, имеющая постоянную и оперативную (загружаемую) секции, может достигать в объеме 64 К слов. За один цикл работы процессора к оперативной секции табличной памяти возможно обращение только в одном направлении, однако оно (в отличие от обращений к оперативной памяти) допустимо по любому адресу без ограничений расслоения. Сверхоперативное запоминающее устройство содержит два банка регистровой памяти по 32 слова (в эту память в течение одного цикла процессора можно и записывать результаты счета и считывать из них очередную пару операндов).

Наиболее эффективно все эти виды памяти используются в многоуровневой конфигурации, настраиваемой с помощью входного и выходного мультиплексоров (см. рис. 2), при которой, например, основная память применяется для хранения всего обрабатываемого массива, оперативная табличная память — для хранения векторов, а две группы сверхоперативных регистров — как буферы данных, обрабатываемых в арифметических устройствах. При правильной организации потоков арифметические устройства работают только с данными, хранящимися в сверхоперативных регистрах, в которые они могут последовательно «подкачиваться» из основной и оперативной табличной памяти в сравнительно медленном темпе.

Для достижения такой гибкости программирования конфигурации процессора в его архитектуру введено множество шин данных, связывающих между собой по входам и выходам все основные операционные узлы и банки памяти (на рисунке они представлены в виде входного и

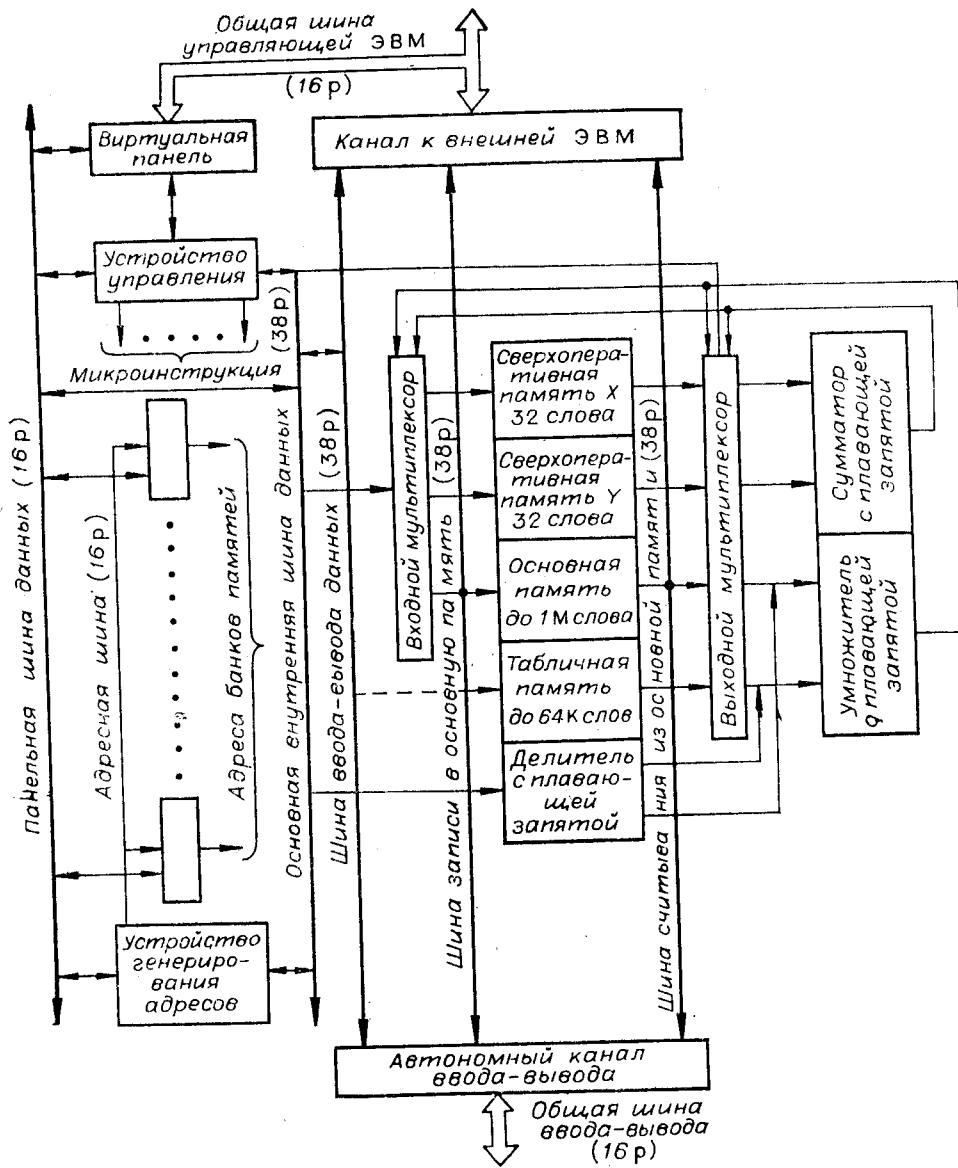


Рис. 2.

выходного мультиплексоров). Благодаря этому в течение каждого цикла работы процессора осуществляется одновременная бесконфликтная передача данных между множеством пар источник — приемник. Отдельная внутренняя общая шина, объединяющая основные источники и приемники данных между собой, имеет продолжение за пределами процессора в виде системной шины ввода-вывода.

Специальное арифметическое 16-разрядное устройство реализует функции формирования адресов для всех банков памяти параллельно и независимо, а также подсчитывает циклы в векторных алгоритмах. Весь векторный процессор находится под управлением специального устройства с памятью до 4 К 64-разрядных слов, загружаемой из внешней ЭВМ. Извлекаемое в течение каждого цикла управляющее слово своим специальным полем организует логику следующего адреса памяти устройства управления (условные и безусловные переходы), причем благодаря использованию аппаратного стека автоматически может быть реализовано до 16 вложенных входов в подпрограмму и возвращений из нее. Основная

же часть управляющего слова, поделенная на десять различных полей, раздельно и независимо управляет всеми процессами, протекающими в процессоре А-12.

Для первоначальной загрузки и инициации процессора, а также для тестирования и отладки его узлов в архитектуру включено специальное устройство ввода-вывода для связи с управляющей ЭВМ, имеющее независимый доступ ко всем регистрам А-12. В связи с этим основная ЭВМ может, прерывая, если необходимо, работу процессора А-12, обращаться к любому его внутреннему регистру как к собственному (не разрушая при этом хранящейся в нем информации), а также имитировать работу внутреннего управляющего процессора А-12 на процедурах его загрузки и инициализации.

В рамках работ по созданию процессора А-12 в институте разработан делитель с плавающей запятой, расширяющий операционные возможности процессора. Программирование работы этого устройства удалось осуществить, используя стандартные средства А-12. Сконструирован также интерфейс конвейерной связи двух векторных процессоров, позволяющий подключать к одной шине управляющей ЭВМ два и более таких процессоров, конвейерно соединяемых между собой через автономные каналы ввода-вывода.

Программирование на процессоре А-12. Для программирования прикладных задач пользователю предоставлены Ассемблер, математическая библиотека и компилятор с языка высокого уровня.

Ассемблерный уровень программирования на процессоре А-12, в силу описанных выше особенностей векторных процессоров, почти совпадает с микропрограммным и эффективно реализуется лишь пользователем, хорошо представляющим себе особенности конвейерной архитектуры и текущее состояние отдельных узлов конвейера. Язык сложен и структурирован до такого уровня детализации, что источник и приемник операции (как и сама операция) кодируются одновременно в разных полях одного ассемблерного операнда. Ассемблер как средство разработки используется главным образом при проектировании систем реального времени, где к скорости обработки данных предъявляются особенно жесткие требования.

Язык высокого уровня представлен двумя эффективными средствами. Пользователь может на языке Фортран обращаться к математической библиотеке, включающей несколько сот наименований программ (в том числе и отдельные пакеты для цифровой обработки сигналов и изображений). Эти программы вызываются из верхнего уровня математического обеспечения, базирующегося на ведущей ЭВМ.

Кроме того, можно скомпилировать любую пользовательскую программу, написанную на Фортране, в коды Ассемблера, получив текст в микрокодах векторного процессора, внутри его управляющей памяти. Для этого, в принципе, нет необходимости в знакомстве с Ассемблером процессора А-12.

Таким образом, упомянутая в начале работы производительность векторного процессора указывает лишь на его потенциальные возможности. Реально достигаемая производительность существенно зависит от используемых программных инструментов. Если при работе на Ассемблере производительность А-12 может быть оптимизирована до 60—80% его «шиковой» производительности, то при работе с компилятором с Фортрана она падает до 20—40%, а при работе с математическими библиотеками — до 5—20%. В последнем случае производительность зависит также от длины обрабатываемого вектора и на длинных векторах может достигать 50% максимально достижимой производительности.

При использовании программ на Фортране в некоторых случаях оказываются неприемлемыми затраты времени на обмен данными между ЭВМ и векторным процессором. Эти затраты могут быть сокращены с помощью специальных программ, «сцепляющих» отдельные вызываемые с Фортрана подпрограммы в единый модуль, загружаемый в векторный процессор и содержащий минимум операций ввода-вывода. При этом

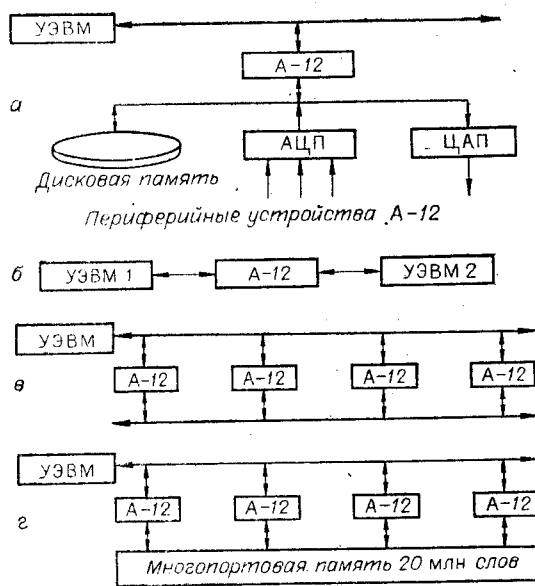


Рис. 3.

ем стандартных операционных систем ОС РВ или РАФОС. Интерфейсные операции между ЭВМ и А-12 осуществляются пакетом стандартных подпрограмм, написанных на Фортране. С помощью этих же подпрограмм производится управление векторным процессором со стороны ЭВМ и реализация программы верхнего уровня.

К автономному каналу ввода-вывода процессора А-12 могут быть подключены собственные внешние устройства, как стандартные (в том числе и диски), так и разработанные пользователем (рис. 3, а). Для поддержки управления этим каналом со стороны внутреннего процессора А-12 имеется операционная система с супервизором многопользовательского режима.

Таким образом, основная память содержит, кроме канала, связывающего ее с собственным процессором, два канала ввода-вывода, каждый из которых может быть подключен к управляющей ЭВМ. Автономная шина ввода-вывода позволяет включать векторный процессор в более сложные конфигурации. Например, возможно коллективное использование одного векторного процессора двумя ЭВМ (рис. 3, б). Описаны многопроцессорные конфигурации на основе векторного процессора семейства, включающие до восьми процессоров, соединенных между собой общей быстрой шиной (рис. 3, в) или подключенных к многопортовой памяти, содержащей до 20 млн слов с плавающей запятой (рис. 3, г) [13].

К настоящему времени на изготовленных образцах процессора А-12 решаются задачи вычислительной физики. При этом, по данным пользователей, эффективное быстроедействие вычислений при использовании процессора А-12 на типовой задаче превышает скорость соответствующих вычислений на ЭВМ БЭСМ-6 в 6 раз.

ЛИТЕРАТУРА

1. Thurber K. J. Parallel processor architectures. P. I. General purpose systems.— Comput. Des., 1979, vol. 18, N 1, p. 89—97.
2. Thurber K. J. Parallel processor architectures. P. II. Special purpose systems.— Comput. Des., 1979, vol. 18, N 2, p. 103—114.
3. Special issue "Array processors".— Computer, 1981, vol. 14, Sept.
4. Special issue "Applications for Array Processors".— Computer, 1983, vol. 16, June.
5. Bloch T. Large computer systems and new architectures.— Comput. Phys. Comm., 1982, vol. 26, N 1—2, p. 125—145.
6. Vector and parallel processors in computational science.— Ibid., N 3—4, p. 147—179.
7. Inskip W. The array processors: floating-point computer with high throughput.— Intern. Laboratory, 1979, N 1, p. 69—79.

управляющие программы могут загружаться и в основную оперативную память векторного процессора, сравнительно медленную, но значительно превышающую в объеме управляющую память. Благодаря этому под управлением специальной программы, исполняемой на ведущей ЭВМ, по мере необходимости отдельные модули из главной памяти перемещаются в управляющую.

Предусмотрено также программное обеспечение сопровождения для обнаружения и идентификации ошибок в процессе эксплуатации.

Как элемент операционной среды ЭВМ семейства СМ — «Электроника» процессор А-12 может работать под управлением

8. Талов И. Л. и др. Мини- и микро-ЭВМ и спецпроцессоры семейства «Электроника». — В кн.: Тез. докл. Всесоюз. конф. «Диалог-82». Пушкино, 1982.
9. Namamoorthy C. V., Li H. F. Pipeline architecture. — ACM Computing Surv., 1977, vol. 9, N 1, p. 61—103.
10. Norin R., Pettibone T. Programming array processors. — Mini-micro Systems, 1979, vol. 12, N 8, p. 59—71.
11. Аксенов В. П. и др. Структура и характеристики высокопроизводительных ЭВМ и систем. Ч. 1. — Зарубеж. радиоэлектроника, 1982, № 3.
12. Аксенов В. П. и др. Структура и характеристики высокопроизводительных ЭВМ и систем. Ч. II. — Зарубеж. радиоэлектроника, 1982, № 4.
13. Контроллер для управления восемью матричными процессами от одной ведущей ЭВМ. — Электроника, 1982, № 19.

Поступила в редакцию 25 февраля 1984 г.

УДК 681.327

А. Ф. ШЕСТАК
(Новосибирск)

СИСТЕМА АВТОМАТИЗАЦИИ ЭКСПЕРИМЕНТОВ ПО БЫСТРОМУ НАГРЕВУ МЕТАЛЛОВ

Развитие работ по управляемому термоядерному синтезу, помимо интенсификации чисто плазменных исследований, привело в последние годы к формированию новой области физики — физики быстрого и интенсивного нагрева металлов. В ряде экспериментов физики быстропротекающих процессов (например, при взаимодействии с веществом мощных потоков электромагнитного излучения, пучков заряженных частиц и т. д.) металл за очень малое время (от 1 мкс и менее) может быть нагрет до нескольких электронвольт, т. е. до энергий, превышающих энергию связи атомов. Какова кинетика фазовых переходов (плавление, кипение, потеря проводимости) в таких экстремальных условиях? Что представляет собой вещество в этом состоянии: жидкость, сверхплотный газ или сильнонеидеальную плазму? Решение этого круга задач и составляет предмет новой области исследований.

Физические процессы, происходящие при быстром нагреве металла, весьма многообразны, и в настоящее время не существует даже качественной картины всех явлений. В такой ситуации естественно перейти к построению простых моделей изучаемых процессов и проверке их в ряде целенаправленных и детальных экспериментов. Их проведение, как показывает опыт, невозможно без широкого использования средств автоматизации.

Регистрация однократных импульсных сигналов и их обработка являются существенным этапом экспериментальных исследований физики быстропротекающих процессов. Во многих случаях способ организации работы именно на этом этапе определяет оперативность изменения параметров в последовательности экспериментов. Основные трудности при минимизации затрат времени на обработку результатов экспериментов обусловлены следующими факторами: для измерения параметров импульсных сигналов в большинстве случаев служат осциллографы, однако при обработке результатов эксперимента, представленных в виде осциллограмм, возникают известные сложности, связанные с вводом исходных данных в память ЭВМ; проведение статистической обработки результатов эксперимента требует организации архива с малым временем доступа; оперативность представления результатов предварительной обработки в удобном для восприятия виде существенно зависит от типа средств отображения данных.