

имена нужных ячеек и последовательность, в которой программа «складывает» ячейки в соответствии со строкой таблицы истинности реализуемой функции.

Именно таким способом была создана эксплуатируемая в ИАиЭ СО АН СССР библиотека стандартных элементов, содержащая несколько полных наборов базовых ячеек. При желании пользователь может дополнять ее собственными наборами, используя указанный выше способ.

Заключение. В целом можно констатировать, что LOGIC обеспечивает достаточно эффективные (в сравнении с известными разработками) средства логической минимизации систем функций и генерации топологии соответствующих логических матриц.

В настоящее время ведутся работы по развитию комплекса, предусматривающие включение в его состав программных средств для оптимального кодирования состояний конечных автоматов, реализуемых с помощью ПЛМ, оптимизации назначения фазы выходных сигналов, сокращения площади, занимаемой ПЛМ, за счет использования механизмов свертывания ПЛМ и т. п.

СПИСОК ЛИТЕРАТУРЫ

1. Obrebska M., Chuquillanqui S., Derantonian H. PLA and custom design // Advanced in CAD for VLSI.— V. 6. Design Methodologies.— N-IL, 1986.
2. Hong S. J., Cain R. G., Ostapko D. L. MINI: a heuristic approach for logic minimization // IBM J. of Res. and Dev.— 1974.— 18, N 5.
3. Brayton R. K., Hachtel G. D., McMullen C. T., Sangiovanni-Vincentelli A. L. Logic Minimization Algorithms for VLSI synthesis.— N. Y.: Kluwer Academic Publishers, 1984.
4. Sasao T. An algorithm to derive the complement of a binary function with multiple-valued inputs // IEEE Trans. on Computers.— 1985.— C-34, N 2.
5. Rudell R. L., Sangiovanni-Vincentelli A. L. Multiple-valued minimization for optimization // IEEE Trans. on CAD.— 1987.— CAD-6, N 9.
6. Quine W. L. A way to simplify truth functions // Amer. Math. Mon.— 1955.— 62, N 6.
7. McCluskey E. S. Minimization of Boolean functions // Bell Syst. Techn. J.— 1956.— 35, N 4.
8. Miller R. F. Switching Theory. V. 1. Combinatorial Circuits.— N. Y., 1965.
9. Dagenais M. R., Agarwala V. K., Rumin N. E. The McBoole logic minimizer // Proc. 22nd Design Automation Conf.— Las Vegas, 1985.
10. Mayo R. N., Ousterhout S. K. Pictures with parentheses: combining graphics and procedures in a VLSI layout tool // Proc. 20th Design Automation Conf.— Miami Beach, 1983.

Поступила в редакцию 27 сентября 1990 г.

УДК 621.3.049.77 : 681.32.06

**А. М. ИВАНОВ, З. А. ЛИВШИЦ, А. В. НИЧУЕВ,
А. Г. РЯБЧЕНКО, Д. Г. ТИТОВ, С. А. ФРОЛОВ**

(Новосибирск)

РАЗРАБОТКА ЗАКАЗНОЙ БИС СПЕЦИАЛИЗИРОВАННОГО АРИФМЕТИЧЕСКОГО УСТРОЙСТВА

1. Преимущества, обеспечиваемые использованием специализированных интегральных схем, разработка которых ориентирована на конкретные системные приложения, по сравнению с построением систем на базе стандартных серийных схем, хорошо известны. К ним в первую очередь относятся возможности повышения производительности и надежности, уменьшение габаритов изделий, потребляемой ими мощности, а также (начиная с определенных объемов производства) снижение стоимости. Эти обстоятельства стимулировали бурное развитие работ в области создания специализированных ИС: в настоящее время они составляют около половины номенклатуры выпускаемых в мире схем. В свою очередь, это привело к тому, что проектирование интегральных схем превратилось в

один из наиболее массовых видов деятельности в отраслях, связанных с микроэлектроникой и вычислительной техникой. Сочетание массовости задач проектирования с их сложностью поставило трудные проблемы, с которыми промышленно развитые страны столкнулись еще в 70-е годы.

Принципиальный прорыв в их решении связан с работами классика современной микроэлектроники Карвера Мида. Им были развиты основы новой методологии проектирования, поставившей целью перемещение процесса разработки больших интегральных схем из сферы искусства в сферу ремесла, которому можно обучить и которое можно с успехом применять в конкретных задачах. Эффективность этой методологии была впервые широко подтверждена проведенным в 1978 г. в Массачусетском технологическом институте экспериментом, в рамках которого студенты, осваивавшие несколько месяцев принципы «хорошего стиля» проектирования, сформулированные К. Мидом, в течение нескольких следующих месяцев самостоятельно реализовали проекты достаточно сложных кристаллов.

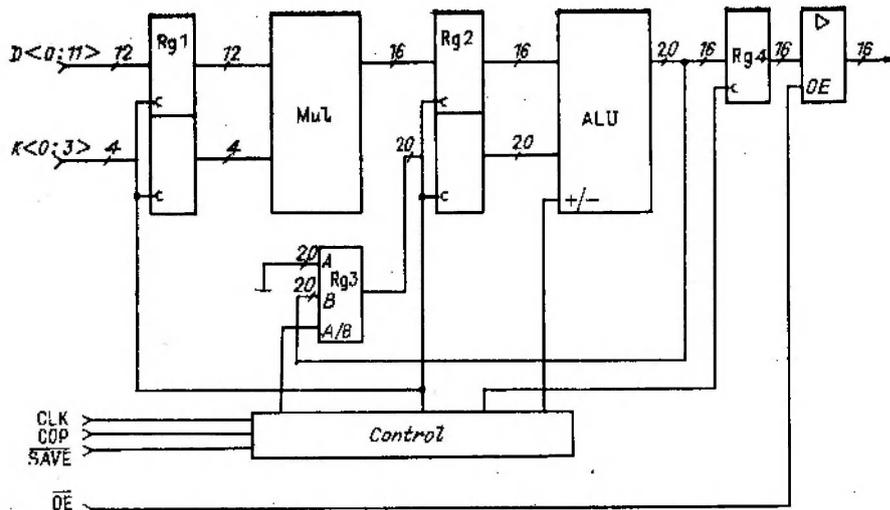
Через 10 лет такой эксперимент был повторен в Сибири: группа студентов-четверокурсников кафедры автоматизации физико-технических исследований Новосибирского университета после изучения основ микроэлектроники (в первую очередь [1]) выполнила разработку специализированной заказной БИС. Стартовые условия экспериментов были весьма схожими как в части времени на предварительную подготовку, так и в том, что разработки начинались «с нуля», т. е. с создания библиотеки функциональных узлов. Можно отметить лишь два отличия: во-первых мы, естественно, использовали заметно больше программных средств автоматизации проектирования, чем наши коллеги в 1978 г., во-вторых, в силу различия финансовых возможностей НГУ и МТИ мы не могли себе позволить чисто учебную разработку: проектируемый кристалл предназначался для конкретной системы обработки сигналов.

2. Кристалл специализированного арифметического устройства должен обеспечивать умножение входных данных на некоторые коэффициенты и суммирование с накоплением полученных результатов, т. е. выполнять функции, необходимые для осуществления цифровой фильтрации сигналов. Устройство содержит матричный умножитель 12-разрядных данных на 5-разрядный коэффициент, 16-разрядный конвейерный регистр и накапливающий сумматор разрядностью 20 бит. Результат накопления может быть «спасен» в выходном регистре и выдан наружу через выход с третьим состоянием. В начале каждого такта синхронизации пара «данные — коэффициент» фиксируется входным регистром-защелкой, в течение такта перемножается и записывается в конвейерный регистр, из которого во время следующего такта попадает на сумматор, где складывается с содержимым накопительного регистра. Умножитель в это время уже обрабатывает следующую пару. Данные представляются в двоично-дополнительном коде, а коэффициент — 4-разрядным числом с битом знака. Фиксация входных данных осуществляется по переднему фронту сигнала синхронизации. Блок-схема кристалла приведена на рисунке.

3. Как уже отмечалось, при разработке широко использовались разнообразные средства автоматизации проектирования.

Так, для анализа различных вариантов схем основных функциональных узлов активно применялась программа электрофизического моделирования, позволившая как исследовать работу блоков в статическом режиме, так и оптимизировать временные соотношения. Поскольку на стадии проектирования не были достаточно хорошо известны параметры технологии, то особое внимание уделялось обеспечению «нечувствительности» схемы к разбросу технологических характеристик. Для этих целей применялись принципы организации двухфазных систем, изложенные в монографии [1].

Параллельно с наработкой библиотеки ячеек осуществлялась логическая верификация проекта. Для этого в компьютер было введено



Структурная схема БИС специализированного арифметического устройства:
 Rg1 — входной регистр, Mul — умножитель 12×4 , Rg2 — конвейерный регистр, ALU — сумматор, Rg3 — накопительный регистр, Rg4 — выходной регистр, Control — устройство управления

иерархическое схемное описание кристалла, на основе которого проводилось тщательное исследование функционирования схемы с использованием программы событийного моделирования на вентиляном уровне. На этой стадии удалось устранить некоторые ошибки первоначального проекта (архитектурные и схемные).

Основным инструментом синтеза топологии кристалла был графический редактор. Значительные усилия сосредоточивались на верификации топологии. Наряду с проверкой на соблюдение конструктивно-технологических ограничений (геометрических правил проектирования), изучалось соответствие топологии исходной электрической схеме. Известно, что в процессе топологического проектирования схема может модифицироваться (за счет введения различных усилителей, блоков восстановления сигналов, дополнительных регистров и т. п.); кроме того, возможны просто ошибки проектировщика. Поэтому по завершении разработки топологии из нее автоматически экстрагировались электрическая схема (список транзисторов и их соединений), а также значения емкостей узлов. Эта информация обработана программой, обеспечивающей моделирование схемы на переключательном уровне. В результате обнаружен и устранен ряд ошибок (типа несоединенных проводников, пропущенных участков имплантации и т. п.).

4. Кристаллы изготавливались по МОП-технологии с двумя типами транзисторов и минимальной длиной канала 4 мкм. Размеры кристалла $3,6 \times 2$ мм.

Исследование экспериментальных образцов, полученных на первой производственной итерации, показало полную работоспособность кристаллов. Минимальная длительность периода тактовой последовательности, до которой схема работает устойчиво, находится в диапазоне 140—220 нс. Разброс по потреблению составляет 330—425 мВт.

5. Основным результатом проделанной работы (помимо решения конкретной задачи разработки специализированной БИС) явилось осознание практической реалистичности в настоящее время ориентации на БИС-архитектуры при создании прикладных систем и возможности осуществления подобных проектов силами относительно небольших групп разработчиков.

СПИСОК ЛИТЕРАТУРЫ

1. Mead C., Conway L. Introduction to VLSI Systems.— Addison-Wesley, 1980.

Поступила в редакцию 4 сентября 1990 г.