

4. Бакут И. А., Колмогоров Г. С. Сегментация изображений: методы выделения границ областей // Зарубеж. радиоэлектрон.— 1987.— № 10.
5. Коляевский В. А., Абрамов В. А. Процедуры выделения контуров плоских изображений на основе углового кода // Управление сложными техническими системами: Межвуз. науч. сб.— 1981.— № 4.
6. Косых В. П., Пустовских А. П., Тарасов Е. В., Яковенко Н. С. Морфологический процессор // Автометрия.— 1984.— № 4.

Поступила в редакцию 21 февраля 1990 г.

УДК 681.324

А. В. БЕРЕЗОВСКИЙ, В. А. КОЗЛАЧКОВ, И. И. КОРШЕВЕР,
С. А. ПАВЛОВ, К. В. ТЕСЛЕНКО, М. Ю. ШАДРИН
(Новосибирск)

ПЕРИФЕРИЙНЫЙ ПРОЦЕССОР ДЛЯ ОБРАБОТКИ СИГНАЛОВ И ИЗОБРАЖЕНИЙ

Введение. СП-12 — периферийный процессор для цифровой обработки сигналов и изображений, представляющий собой дальнейшую модификацию ранее описанного процессора СП-8 [1]. Оба эти процессора ориентированы на включение в стандартную систему, базирующуюся на шине МПИ (Q-bus), и поддерживаются соответствующими операционными системами с помощью специальных сопрягающих программ.

Совершенствование процессора СП-8 проводилось в следующих направлениях:

1. Повышение арифметических возможностей процессора. В этих целях в новый процессор введены дополнительные аппаратные элементы:

второе 16-разрядное АЛУ; оба АЛУ могут работать отдельно (именно в этом случае производительность процессора достигает 12 млн опер./с на тактовой частоте 4 МГц) или как единое 32-разрядное целочисленное устройство;

аппаратный одноканальный сдвигатель, позволяющий эффективно осуществлять взаимный переход чисел от представления в формате с плавающей запятой к представлению в формате с фиксированной запятой.

2. Расширение (до 20 разрядов) адресного пространства основной памяти данных (прежде всего, в целях повышения эффективности работы с изображениями). Это обеспечивается расширенным до 20 разрядов адресным процессором и третьей платой, расширяющей объем памяти данных от 128 до 768 К 16-разрядных слов. Введен также аппаратный контроль четности и микропрерывания по результатам этого контроля.

3. Приняты меры для упрощения процедуры отладки программ; с этой целью введен режим ROM-симуляции, при котором в процессе отладки генерирование микрокодов осуществляется из основной памяти данных.

4. С помощью аппаратных и микропрограммных расширений ускорена работа канала прямого доступа к памяти (КПД).

5. Повышена скорость взаимодействия процессора внешней ЭВМ на системном уровне, для чего предусмотрена поддерживаемая микропрограммно начальная загрузка блока параметров по КПД.

6. Расширена до 6 К слов табличная память тригонометрических функций.

Функциональное описание процессора [2]. На рис. 1 изображена блок-схема процессора СП-12 (интерфейсная часть взаимодействия с

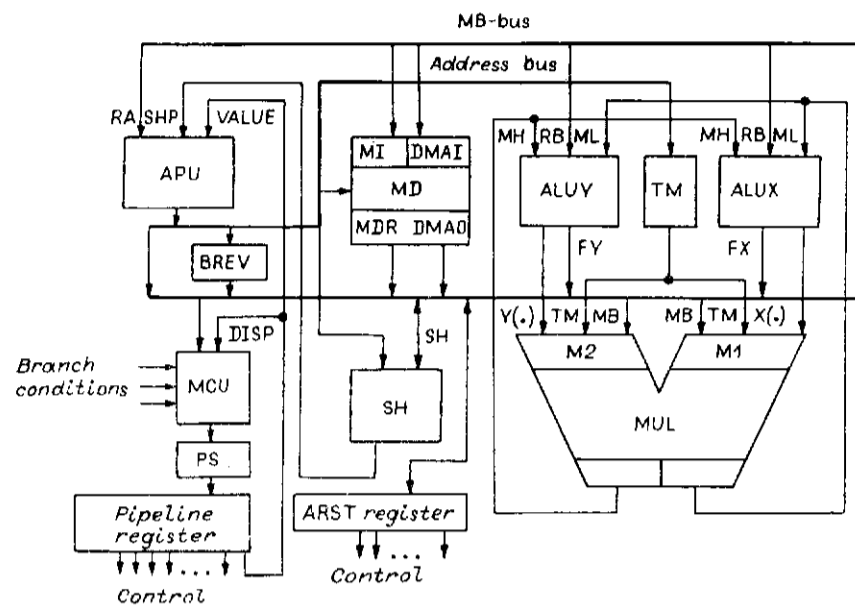


Рис. 1

УЭВМ на рисунке отсутствует). Процессор включает в себя следующие функциональные устройства:

1. Блок микропрограммного управления (MCU), управляющий выборкой микроинструкций из ПЗУ микропрограмм.
2. Память микроинструкций (PS) емкостью $2 \text{ К} \times 96$ разрядов, хранящая микропрограмму.
3. Память данных (MD) емкостью 128 Кслов, расширяемая до 768 Кслов. Один из портов этой памяти доступен для арифметических узлов, другой — для шины Q-bus в режиме прямого доступа.
4. Табличная память (TM) емкостью 6 Кслов. В ней хранятся таблицы тригонометрических и некоторых других констант.
5. Два независимых 16-разрядных арифметических устройства (ALUX и ALUY) с набором сверхоперативных регистров (по 16 регистров), которые производят операции сложения, вычитания, а также логические операции над числами. Имеется возможность объединять два АЛУ в одно 32-разрядное.
6. Параллельный умножитель (MUL) 16×16 , выходным результатом которого может быть либо целое число, полное 32-разрядное, либо 16-разрядное с округлением.
7. Двадцатиразрядный адресный процессор (APU) с набором сверхоперативных регистров (13 регистров общего назначения), осуществляющий операции над адресами.
8. Шестнадцатиразрядный параллельный сдвигатель (SH).
9. Внутренний статусный регистр ARST.

Программно управляемый мультиплексор, осуществляющий в СП-8 коммутацию цепей между отдельными функциональными модулями, в СП-12 заменен множеством внутренних шин. Среди них можно выделить две основные шины — шину MB и адресную шину. Шина MB — наиболее универсальная, объединяющая по своим входам/выходам почти все устройства процессора. Адресная шина, имеющая всего один источник — выход адресного процессора, более специализирована.

В архитектуре процессора СП-12 широко используется конвейерный принцип, благодаря которому достигается одновременное выполнение нескольких операций. Параллельное выполнение этих операций обеспечивается 96-разрядным словом микроинструкции, разделенным на множество полей, каждое из которых управляет своим определенным функциональным устройством. Некоторые поля накладываются друг на

друга, так что одновременное выполнение операций двумя функциональными устройствами, управляемыми этими полями, становится невозможным.

Основу адресного процессора так же, как и арифметических устройств ALUX и ALUY, составляют микросхемы K1804BC1. Из рис. 1 видно, что на вход АРУ могут быть поданы данные с шины MB, 16-разрядная константа VALUE и параметр сдвига SHP, вырабатываемый параллельным сдвигом SH, а результат операции АРУ может загружаться в адресные регистры MA и DMA памяти данных MD и в адресный регистр TMA табличной памяти TM. Результат операции АРУ может также быть подан на шину MB в нормальном виде и в виде, при котором симметричные относительно среднего разряды слова меняются местами (режим BIT-REVERSE). Кроме того, АРУ выдает параметр сдвига для параллельного сдвига SH.

На входы арифметических устройств ALUX и ALUY могут быть поданы данные с шины MB, а также старшая (MH) и младшая (ML) части 32-разрядного результата умножения с выхода умножителя. Результаты операции устройств ALUX и ALUY могут быть поданы на шину MB и на входной мультиплексор умножителя MUL. Работа устройств ALUX и ALUY организована так, что за один системный такт они производят две операции. В первой фазе системного такта выполняется обычная операция, а во второй фазе всегда из сверхоперативной памяти ALUX/ALUY (точнее, из их младших восьми регистров) по А-порту извлекается операнд, который подается на входной мультиплексор умножителя. Таким образом, независимо от содержания операции, исполняемой в арифметическом процессоре, его регистры всегда могут быть прочитаны умножителем MUL. Оба АЛУ могут быть объединены в одно 32-разрядное, при этом за один системный такт выполняется операция над 32-разрядными операндами.

Параллельный умножитель MUL осуществляет за каждый системный такт умножение двух 16-разрядных чисел с получением либо полного 32-разрядного результата, либо 16-разрядного результата с округлением. Умножитель — двухступенчатое конвейерное устройство, и поэтому результат умножения готов для использования в устройствах ALUX/ALUY лишь через один такт после загрузки его входных регистров. К одному входу умножителя могут быть поданы данные (см. рис. 1) либо с шины MB, либо от одного из восьми младших регистров устройства ALUX, либо из табличной памяти TM. Ко второму входу могут быть поданы данные либо с шины MB, либо от одного из восьми младших регистров устройства ALUY, либо из табличной памяти TM. Результат умножения MH (старшая часть) или ML (младшая часть) подается на входные мультиплексоры устройств ALUX/ALUY.

Параллельный сдвигатель SH предназначен для выполнения операций сдвига (арифметических, логических, циклических, расширенных вправо и влево), а также для поиска номера левого старшего разряда в состоянии «1». Любая операция в сдвигом осуществляется за два такта. На первом такте происходит загрузка данных в сдвигатель (сдвигаемое число загружается с шины MB, а параметр сдвига — с выхода АРУ), а на втором такте — выдача результата операции (сдвинутое число считывается на шину MB, а код SHP номера левого старшего разряда, находящегося в состоянии «1» при операции поиска, — на вход АРУ). В сдвигом имеется дополнительный внутренний регистр расширения, позволяющий осуществлять сдвиг чисел с разрядностью, превышающей 16.

Основная память данных MD содержит два банка памяти. Ячейки одного банка находятся по четному адресу (младший разряд адреса памяти MA равен 0), а другого — по нечетному (младший разряд равен 1). При чередовании четных и нечетных адресов память MD может производить операции (чтения или записи данных) на каждом такте, при обращении же подряд в двух тактах к ячейке памяти с четными

нечетными) адресами произойдет «подвисание» работы процессора, при котором на время одного такта блокируется системный синхросигнал.

Память MD — одноступенчатое конвейерное устройство, и поэтому при задании операции в ней результат достигается лишь в следующем такте работы устройства.

Память TM служит для хранения различных таблиц и констант таких, как, например, тригонометрические коэффициенты для преобразования Фурье, константы для вычислений функций логарифма, квадратного корня и др.

Внутренний 16-разрядный регистр ARST представляет собой, сущности, расширение программного управляющего слова и в этом качестве используется для дополнительного управления различными устройствами процессора. Регистр ARST может быть прочитан со стороны шины MB, а данные с шины MB также могут заноситься в него специальной командой.

Взаимодействие ЭВМ с СП-12 осуществляется через восемь адресуемых с шины Q-bus регистров. Эти регистры доступны для операций чтения или записи со стороны как ЭВМ, так и СП-12 и используются процессором для реализации канальных управляющих и тестовых функций.

Основной способ взаимодействия СП-12 с ЭВМ — это операции на инженерной панели, при которых производится загрузка необходимых параметров и включается процесс передачи данных или процесс обработки. Со стороны же пользователя взаимодействие с процессором осуществляется путем вызова функций исполняющей системы (SPEXE) и библиотеки прикладных программ (SP12LIB2, SP12IMLIB) на языке Си.

Программное обеспечение процессора [3] может быть разделено на четыре группы: исполняющая система с драйвером, библиотека прикладных программ, программное обеспечение развития и тестовое программное обеспечение.

Исполняющая система [4] позволяет пользователю общаться с процессором путем вызова различных процедур как на языке Си, так и на языке Ассемблера управляющей ЭВМ. Система содержит набор подпрограмм, которые присоединяются к программе, использующей сигнальный процессор. Она интерпретирует вызовы процедур из программы пользователя и обращается к процессору, чтобы выполнить соответствующие операции. Для операционной системы RSX-11M исполняющая система разработана в двух версиях. Первая версия SPEX1.OLB имеет три логически независимых устройства процессора: RUN — для запуска программ из программной памяти процессора, DMA — для передачи массивов данных из памяти управляющей ЭВМ в память данных процессора и в противоположном направлении, IF — для выполнения панельных операций процессора. Вторая версия исполняющей системы SPEX2.OLB имеет одно логическое устройство, но доступ к регистрам процессора осуществляется через страницу ввода/вывода. Для системы RT-11 версия исполняющей системы — SPEX.OBJ, для автономных программ — SPEX3.OLB. Каждой исполняющей системе должен соответствовать свой драйвер, который представляет собой программу, непосредственно взаимодействующую с процессором СП-12 в операционной системе (общение с регистрами процессора, обработка прерывания и пр.). Поэтому, если пользовательская программа работает под управлением операционной системы, то вызов процедуры исполняющей системы влечет за собой и обращение к драйверу, который непосредственно произведет действие с сигнальным процессором. Для выполнения автономных программ драйвер не нужен, его функции берет на себя соответствующая исполняющая система.

Библиотека прикладных программ [5, 6] представляет собой набор базовых векторных и матричных операций, при помощи которых можно выполнить обработку данных, находящихся в памяти сигнального

процессора. Она включает в себя более сотни различных программ обработки данных, как простых (например, поэлементное сложение или умножение векторов), так и более сложных (например, быстрое преобразование Фурье, решение системы линейных уравнений, восстановление изображения по его проекциям методом обратного проецирования и др.). Набор этих процедур хранится в микросхемах ПЗУ программной памяти сигнального процессора. Чтобы исполнить требуемую процедуру, необходимо просто вызвать ее из пользовательской программы с соответствующими параметрами. При этом исполняющая система выполняет загрузку параметров и запускает необходимую программу в программной памяти сигнального процессора. Для различных применений требуется и различный набор базовых векторных и матричных функций, составляющий различные версии библиотек прикладных программ. При генерации новой библиотеки необходимо внести изменения и в исполняющую систему.

Программное обеспечение развития включает в себя Ассемблер и отладчик. Ассемблер [7] позволяет написать программу, которая транслируется непосредственно в коды сигнального процессора. На первом проходе работы Ассемблера осуществляется синтаксический разбор программы, а на втором — генерация кодов команд процессора. На каждом проходе печатаются подробные сообщения о встретившихся ошибках. С помощью Ассемблера при необходимости можно расширить библиотеку прикладных программ.

Отладчик [8] — программа, позволяющая отладить программу, написанную на Ассемблере. При этом отлаживаемая программа находится в памяти данных сигнального процессора. При помощи отладчика можно загрузить или записать программу из файла, загрузить или записать данные из файла, запустить отлаживаемую программу или программу из программной памяти процессора. Отладчик предоставляет возможность доступа ко всем регистрам сигнального процессора и может запускать отлаживаемую программу в пошаговом режиме или до точки останова. Кроме того, отладчик содержит простейшие тесты сигнального процессора — тесты регистров, памяти и прямого доступа к ней.

Тестовое программное обеспечение позволяет осуществить проверку работоспособности различных функциональных узлов процессора. Тестовой программой можно пользоваться и как отладчиком, имеющим доступ ко всем регистрам процессора. Ассортимент тестовых программ достаточно широк (тестируется память в обычном и ускоренном режимах, канал прямого доступа к ней, регистры, арифметические узлы, прерывания, тракты и пр.), что существенно облегчает пользователю периодическую проверку, поиск неисправностей и настройку сигнального процессора. Тестовая программа работает только в автономном режиме и состоит из двух частей: непосредственно самой основной тестовой программы и загружаемой в память данных процессора дополнительной тестовой программы. Дополнительная тестовая программа служит только для полной проверки трактов процессора и может быть загружена в память данных предварительно перед запуском.

При написании программ на языке Си программист должен выполнить последовательность действий, которая отражена на рис. 2, в результате чего образуется загрузочный модуль, включающий в себя откомпилированные пользовательские команды языка Си и процедуры исполняющей системы.

На примере перемножения двух векторов рассмотрим подробнее последовательность операций при работе процессора. Пусть оба вектора, которые необходимо сложить, находятся в памяти управляющей ЭВМ. Далее выполняются следующие операции:

1. Программа, находящаяся в управляющей ЭВМ, обращается к подпрограмме исполняющей системы СИ-12 (SPEXE), чтобы инициировать передачу двух векторов из памяти ЭВМ в память данных про-

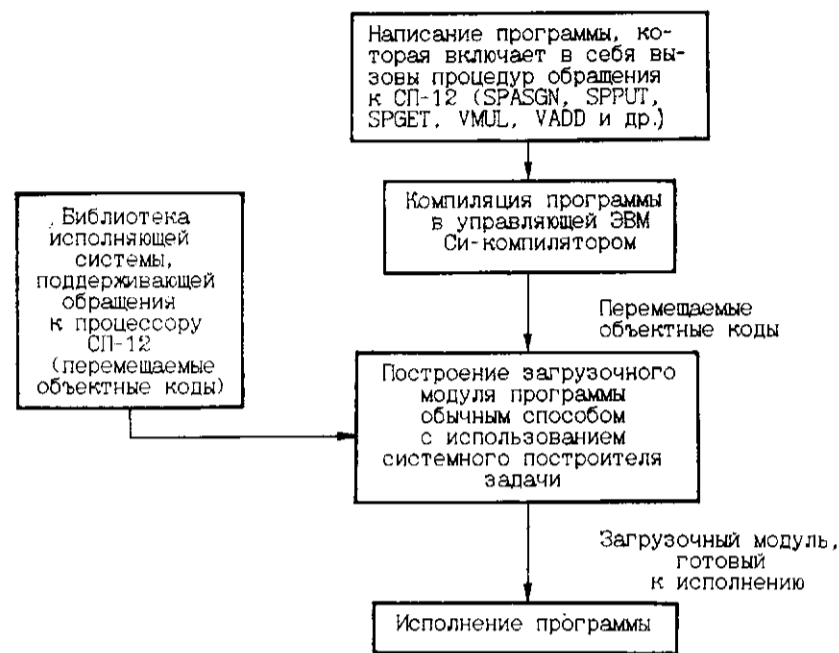


Рис. 2

цессора в режиме прямого доступа. После завершения передачи каждого вектора процессор вызывает прерывание ЭВМ.

2. Программа в ЭВМ обращается к исполняющей системе СП-12, чтобы запустить программу сложения векторов в процессоре. Исполняющая система, в свою очередь, загружает необходимые параметры в процессор и запускает программу сложения двух векторов из библиотеки прикладных программ СП-12 (SP12LIB2, SP12IMLIB). После исполнения программы сложения процессор СП-12 также вызывает прерывание управляющей ЭВМ. Заметим, что при более сложной обработке данных можно вызывать последовательность различных программ в процессоре, храня промежуточные данные в его памяти.

3. На последнем этапе программа в ЭВМ снова обращается к исполняющей системе, чтобы инициировать передачу результата вычислений из процессора СП-12 в память ЭВМ в режиме прямого доступа. По окончании процесса передачи вновь вызывается прерывание в управляющей ЭВМ.

СПИСОК ЛИТЕРАТУРЫ

1. Березовский А. В., Козлачков В. А., Коршевер И. П. и др. Сигнальный процессор СП-8 // Автометрия. — 1986. — № 4.
2. Березовский А. В. Сигнальный процессор СП-12: программирование на Ассемблере. — Новосибирск, 1989. — (Препр./СО АН СССР. ИАиЭ; 413).
3. Березовский А. В., Козлачков В. А., Павлов С. А. Сигнальный процессор СП-12: обзор программного обеспечения. — Новосибирск, 1989. — (Препр./СО АН СССР. ИАиЭ; 445).
4. Павлов С. А. Сигнальный процессор СП-12: описание исполняющей системы. — Новосибирск, 1989. — (Препр./СО АН СССР. ИАиЭ; 416).
5. Березовский А. В. Сигнальный процессор СП-12: библиотека прикладных программ. — Новосибирск, 1989. — (Препр./СО АН СССР. ИАиЭ; 414).
6. Березовский А. В. Сигнальный процессор СП-12: библиотека прикладных программ для обработки изображений. — Новосибирск, 1989. — (Препр./СО АН СССР. ИАиЭ; 446).
7. Павлов С. А. Сигнальный процессор СП-12: описание Ассемблера. — Новосибирск, 1989. — (Препр./СО АН СССР. ИАиЭ; 415).
8. Тесленко К. В. Сигнальный процессор СП-12: описание отладчика. — Новосибирск, 1989. — (Препр./СО АН СССР. ИАиЭ; 417).

Поступила в редакцию 17 октября 1990 г.