

4. Ousterhout J., Hamachi G., Mayo R. et al. MAGIC: a VLSI layout system // Proc. 21th Design Automation Conference, 1984.—P. 152.
5. Advanced in CAD for VLSI.—V. 4: Layout Design and Verification /Ed. by Ohtsuki.—Elsevier Science Publishers B.V., 1986.
6. Xiong J. G. Algorithms for global routing // Proc. 23rd Design Automation Conference, 1986.—P. 824.

Поступила в редакцию 8 апреля 1991 г.

УДК 621.38 : 519.87

А. Г. Рябченко

(Новосибирск)

МІСЕ2: ПРОГРАММА ЭКСТРАКЦИИ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ ИЗ ОПИСАНИЯ ТОПОЛОГИИ МОП СВІС

Рассмотрены принципы организации программы, обеспечивающей выделение списка соединений между транзисторами и электрических параметров схемы из описания ее топологии. Благодаря использованию тайловой структуры представления данных о геометрии масок, а также учету иерархии, возникающей при проектировании, были достигнуты высокие скоростные характеристики работы программы и обеспечена линейная зависимость времени экстракции от сложности схемы.

Введение. Определение параметров электрической схемы, которая реализуется заданной топологией БИС (экстракция электрической схемы), является необходимым этапом современных методологий проектирования, нацеленных на обеспечение отсутствия ошибок в разрабатываемых устройствах.

Программы экстракции (экстракторы) различаются между собой по следующим признакам: тип топологии, с которой они могут работать (с произвольными углами, углами, кратными 45 или 90°); типы транзисторов, распознаваемые ими (ТТЛ, МОП и др.); степень детализации выдаваемых данных (информация о списке соединений транзисторов, их размерах, величинах паразитных емкостей, сопротивлениях проводников и т. д.) [1—5].

Рассматриваемая в данной статье программа экстракции МІСЕ2 является частью разрабатываемой в Институте автоматики и электрометрии СО АН СССР интегрированной системы топологического проектирования, использующей единую базу геометрических данных на основе структур тайлового типа [6, 7]. Экстрактор предназначен для работы с «манхэттенскими» топологиями МОП-схем. Уровень подробности информации, получаемой с помощью МІСЕ2, определяется характером ее дальнейшего использования при верификации схемы: в настоящее время это в основном логическое моделирование на переключательном уровне с применением программы SimSim [8], входным для которой является формат esim [9]. Для этих целей достаточно следующих данных о схеме: а) список соединений транзисторов; б) размеры транзисторов; в) величины емкостей узлов относительно подложки.

Одной из задач, которая ставилась при разработке данной программы, было максимальное использование возможностей тайловых структур (простота определения смежных объектов, наличие «символических» слоев и т. д.) для достижения высоких показателей скорости экстракции.

1. МІСЕ2 — структура и алгоритмы. Рассматриваемая программа работает с иерархически представленной топологией, т. е. данные о каждой ячейке могут содержать как собственно информацию о геометрии масок, так и вызовы подъячеек. Важно подчеркнуть, что в МІСЕ2 процесс

экстракции применяется не к «полностью раскрытой» топологии, а к естественному иерархическому ее описанию. Такой подход позволяет увеличить скорость экстракции (в частности, за счет использования повторяемости элементов) и уменьшить затраты памяти (критичный параметр при работе с тайловыми структурами). Единственное ограничение на топологию, возникающее при использовании иерархии, — запрет на образование новых транзисторов при пересечении ячеек.

Желание использовать иерархию обуславливает разделение программы на две части. Первая из них — базовый экстрактор — обеспечивает работу с чисто «масочной» информацией, а вторая — иерархический экстрактор — обрабатывает данные о взаимодействии ячеек схемы.

1.1. *Базовый экстрактор.* Функциями базового экстрактора являются идентификация электрических узлов схемы, а также «обработка» транзисторов.

Представление геометрических данных, которыми оперирует базовый экстрактор, осуществляется с помощью структур тайлового типа. Описание использования такой организации данных и основных алгоритмов, применяющихся для работы с тайловыми структурами в нашей системе, содержится в [7, 10]. Отметим прежде всего, что благодаря указанному представлению информации сложность поиска элементов топологии, представляющих транзисторы, перекладывается с алгоритмов на структуры данных. Это происходит за счет использования так называемых символических слоев, к которым приписываются топологические объекты различных типов, т. е., например, прямоугольнику, образованному пересечением масочных слоев диффузии и поликремния, в структуре данных явным образом соответствует тип «транзистор с нулевым порогом». Для конструирования символических слоев, соответствующих заданной технологии, используется специальный механизм, определенный с помощью технологического файла [10].

Фундаментальная операция экстрактора — пометить все геометрические объекты, образующие один электрический узел. На выбранной структуре это достигается простой рекурсивной процедурой, предложенной в [5], после завершения которой все электрически связанные тайлы помечены как принадлежащие тому же узлу n , что и стартовый тайл t :

— проверить, был ли тайл t помечен как принадлежащий узлу n ; если да, то перейти к «следующему» тайлу; в противном случае пометить тайл t как принадлежащий узлу n ;

— посетить всех соседей тайла t , которые имеют с ним электрический контакт (это проделывается с помощью четырех указателей, «привязывающих» t);

— применить процедуру рекурсивно к каждому найденному соседу, если он электрически соединяется с t ;

— тайлы-контакты (несущие информацию о соединениях между разными тайловыми плоскостями) продублированы в плоскостях, которые они соединяют; если тайл t имеет тип «контакт», то необходимо перейти к соответствующему контактному тайлу на другой плоскости, используя алгоритм поиска тайла [7], содержащего точку с заданными координатами, и рекурсивно его обработать.

Приводимая процедура нахождения связности определяет наличие электрического контакта между смежными тайлами с помощью таблицы, определяемой значениями их типов. Программа получает таблицу из технологического файла, что обеспечивает технологическую независимость применяемого алгоритма.

Для нахождения стартового тайла для каждого узла используется алгоритм перечисления всех тайлов, попадающих в заданную область [7]. Если тайл не был помечен как принадлежащий какому-либо узлу, то объявляется образование нового узла, а к найденному тайлу применяется описанная выше процедура определения связности.

Каждому узлу в схеме присваивается логическое имя. Если проектировщик поместил метку на геометрию узла, то эта метка рассматривается программой как имя цепи; если метка отсутствует, то экстрактор автоматически генерирует для узла уникальное имя.

Программа вычисляет для каждого узла его паразитную емкость на подложку. Как известно, она складывается из составляющей, пропорциональной площади, и составляющей, пропорциональной периметру. Поскольку для большинства типов проводников первая компонента емкости является доминирующей (см., например, [11]), то в данной программе мы ограничились лишь ее вычислением. Необходимая для этого информация (емкость на единицу площади для каждого типа тайлов) задается в специальном файле. Вычисление емкости происходит в процессе работы процедуры определения связности.

Описание транзистора, получаемое на выходе базового экстрактора — это запись, содержащая тип транзистора, размеры канала и список терминалов (затвор, сток, исток), причем терминал задается именем цепи, к которой он подключен.

1.2. *Иерархическая экстракция.* При работе с иерархическим описанием топологии электрическая схема ячейки, содержащей подъячейки, не может быть в общем случае представлена как простое объединение схем подъячеек со схемой, экстрагированной из масочной геометрии корневой ячейки: экстрактор должен уметь определять и межсоединения между узлами подъячеек, которые могут, в частности, и пересекаться, а также правильно вычислять результирующую емкость получающихся таким образом узлов.

Для решения указанных задач необходимо, чтобы организация базы данных позволяла минимизировать время на поиск соединений между схемами подъячеек и корневой ячейки. С этой целью в структуру данных введены специальные плоскости SubCellPlanes, содержащие специфические тайловые структуры, в которых каждый тип тайла является указателем на некоторый список подъячеек. Создание таких плоскостей происходит следующим образом:

- для каждой подъячейки вычисляются координаты MBV (Minimum Bounding Box — минимального ограничивающего топологию прямоугольника);

- с помощью процедуры модификации тайловой структуры [7] определяется пересечение образа MBV текущей подъячейки с уже обработанными; если такое пересечение отсутствует, то создается тайл, тип которого является адресом текущей подъячейки; в противном случае определяется область пересечения и создается тайл, совпадающий с областью пересечения, тип которого «указывает» на список из текущей подъячейки и подъячеек, адресовавшихся типом тайла, с которым произошло пересечение.

После того как для ячейки создана плоскость SubCellPlane, иерархический экстрактор действует следующим образом:

- с помощью базового экстрактора определяются цепи и транзисторы для всех ячеек (корневой и подъячеек);

- находятся точки включения подъячеек в схему корневой ячейки;

- иерархическое описание раскрывается до плоского и формируется выходной файл (это раскрытие необходимо для дальнейшей работы с программой логического моделирования [8], использующей «плоскую» схему).

Работа экстрактора с иерархией включает в себя два этапа: определение соединений между проводниками корневой ячейки и подъячеек; нахождение соединений между подъячейками.

На первом этапе:

- для каждого тайла t типа «проводник» из корневой ячейки определяется проекция P на плоскость SubCellPlane;

— обходятся все тайлы, попадающие в проекцию P ; если тип тайла указывает на непустой список, то обрабатывается каждая ячейка из этого списка;

— при обработке ячеек вычисляется образ O «тайла-проводника» t из корневой ячейки на координатную плоскость текущей;

— для соответствующей топологической плоскости текущей ячейки определяются все тайлы, попадающие в образ O или граничащие с ним;

— если тип найденного тайла имеет электрический контакт с типом тайла t , то соответствующие два узла объединяются в один;

— описанная выше последовательность действий рекурсивно применяется для SubCellPlane плоскости текущей ячейки.

Второй этап выполняется сходным образом:

— для каждого тайла из плоскости SubCellPlane обрабатывается список подъячеек, определяемых его типом;

— для каждой ячейки из этого списка и для всех ее «тайлов-проводников», попадающих в прообраз тайла из SubCellPlane, применяется процедура, аналогичная использовавшейся на первом этапе, но только для подъячеек, лежащих в списке ниже.

2. Реализация. Экспериментальные результаты. Программа MICE2 была реализована на языке Си в операционной среде VAX/VMS и прошла опытную эксплуатацию при верификации ряда кристаллов, разработанных в ИАиЭ СО АН СССР.

Временные характеристики программы MICE2 (приведенные к производительности компьютера VAX-11/780), полученные при экстракции электрических схем нескольких кристаллов, содержатся в таблице. Здесь же (для сравнения) помещены результаты применения хорошо известной программы начала 80-х годов MEXTRA, разработанной в Калифорнийском университете (Беркли). Программы были поставлены в одинаковые условия: топология задавалась в формате CIF [12] (что потребовало использования вместе с MICE2 препроцессора для перехода к тайловым структурам), а выходным форматом был esim.

Экспериментальные результаты подтверждают известный теоретический факт о линейной зависимости времени экстракции на тайловых структурах от объема схемы.

Заключение. Программа MICE2 обладает достаточной скоростью, чтобы при работе с проектами сложностью в несколько десятков тысяч транзисторов проводить неоднократное ретрагирование схемы в течение одного рабочего дня, что (наряду с наличием других быстрых программных

Схема	Количество транзисторов	Время экстракции, с		Скорость экстракции, транз./с	
		MEXTRA	MICE2	MEXTRA	MICE2
БИС систолического процессорного элемента	4873	375	144	13	34
СБИС амплитудного корректора	32391	1893	891	17	37
БИС цифрового фильтра	3517	234	99	15	36

инструментов) позволяет разработчику более смело экспериментировать в области архитектурных и схемных решений.

1. Bastian J. D. et al. Symbolic parasitic extractor for circuit simulation (SPECS) // Proc. 20th Design Automation Conf.—Las Vegas, 1983.—P. 346.
2. Tarolli G., Herman W. J. Hierarchical circuit extraction with detailed parasitic capacitance // Ibid.—P. 337.
3. McCormick S. P. EXCL: a circuit extractor for IC designs // Proc. 21st Design Automation Conf.—Las Vegas, 1984.—P. 624.
4. Wagner T. G. Hierarchical layout verification // IEEE J. Design and Test of Computers.—1985.—2, N 1.—P. 31.
5. Scott W. S., Ousterhout J. K. The Magic circuit extractor // Ibid.—1986.—3, N 1.—P. 24.
6. Ousterhout J. K. Corner-stitching: a data-structuring technique for VLSI layout tools // IEEE Trans. on CAD.—1984.—CAD-3, N 1.—P. 87.
7. Лившиц З. А., Титов Д. Г. Алгоритмы работы с тайловыми представлениями топологии СБИС // Автометрия.—1991.—№ 3.
8. Лившиц З. А., Пичуев А. В. SimSim: программа логического моделирования МОП СБИС на переключательном уровне // Там же.
9. Ульман Дж. Вычислительные аспекты СБИС.—М.: Радио и связь, 1990.
10. Титов Д. Г. Система проектирования топологии интегральных схем ICE.—Новосибирск, 1991.—(Препр. АН СССР, Сиб. отд-ние. ИАиЭ; 464).
11. Pucknell D. A., Eshraghian K. Basic VLSI Design.—Prentice-Hall, 1988.
12. Mead C., Conway L. Introduction to VLSI Systems.—Addison-Wesley, 1980.
13. Electronic Industries Association, Electronic Design Interchange Format Version 200 // EIA Interim Standard.—1987.—N 44.

Поступила в редакцию 7 мая 1991 г.

УДК 681.32.06 : 519.87

Д. В. Наговицын, К. К. Смирнов

(Новосибирск)

ОПТИМИЗАЦИЯ ВЫХОДНОЙ ФАЗЫ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ МАТРИЦ

Рассматриваются методы сокращения числа термов системы логических функций, основанные на отыскании оптимального фазового вектора системы, определяющего, какие функции следует инвертировать, а какие оставить неизменными. Проведен сравнительный анализ реализованных известных алгоритмов с некоторыми разработанными модификациями.

Введение. Высокая регулярность структуры ПЛМ обуславливает достаточную простоту их применения при синтезе топологии заказных и полузаказных СБИС и значительно сокращает время проектирования. Эти факторы являются во многих случаях решающими при разработках сложной управляющей логики. В связи с этим возникает основная проблема, связанная с использованием ПЛМ, — сокращение занимаемой на кристалле площади. Традиционные методы ее решения состоят в непосредственной минимизации реализуемой с помощью ПЛМ системы логических функций в смысле нахождения дизъюнктивной нормальной