

Рис. 3

При работе использовались средства автоматизированного проектирования, разработанные в ИАиЭ СО РАН [2—4], позволившие получить работоспособный образец с первой производственной итерации. Кристалл, разработанный за 4 мес, содержит более 9 тыс. транзисторов при размере $4,8 \times 6,8$ мм и имеет 40 внешних выводов. Тактовая частота экспериментальных образцов 7—9 МГц. Использование АГ позволит увеличить быстродействие и снизить затраты на оборудование в существующих системах обработки изображения.

СПИСОК ЛИТЕРАТУРЫ

1. Киричук В. С., Косых В. П., Обидин Ю. В. и др. Методы и средства оперативной цифровой обработки изображения // Автометрия.—1984.—№ 4.
2. Лившиц З. А., Пичуев А. В. SimSim: программа логического моделирования МОП БИС на переключаемом уровне // Автометрия.—1991.—№ 3.
3. Рябченко А. Г. МІСЕ2: программа экстракции электрической схемы из описания топологии МОП СБИС // Автометрия.—1991.—№ 5.
4. Титов Д. Г. Система проектирования топологии интегральных схем ІСЕ.—Новосибирск, 1991.—(Препр. СО АН СССР, ИАиЭ; 464).

Поступило в редакцию 2 января 1992 г.

УДК 621.3.049.771 : 681.3.019

Р. Р. Бикинцев
(Новосибирск)

БИС СИСТОЛИЧЕСКОГО ПРОЦЕССОРНОГО ЭЛЕМЕНТА

Рассматривается БИС-реализация операции двумерной свертки — одной из наиболее массовых вычислительных процедур в области обработки изображений. Обсуждаются организация систолического массива, выполняющего свертку изображения с заданным ядром, и результаты разработки базовой ячейки массива — БИС систолического процессорного элемента.

Введение. Характерной особенностью цифровой обработки изображений являются значительные вычислительные затраты — от нескольких десятков до нескольких сотен операций на элемент раstra для наиболее распространенных практических задач. Подобный уровень сложности, по существу, исключает возможность применения универсальных компьютеров традиционной архитектуры для целей обработки изображений в реальном масштабе времени. Хорошо известно, однако, что благодаря «пространственной однородности» типовых операций над изображением весьма эффективные алгоритмы могут быть реализованы с использованием специализированных структур, позволяющих распараллеливать и конвейеризовать вычислительные процессы.

В этой статье такой подход рассматривается применительно к БИС реализации двумерной свертки — одной из наиболее массовых вычислительных процедур в данной проблемной области. Ниже обсуждена организация систолического массива, выполняющего свертку изображения с заданным ядром, и результаты разработки базовой ячейки массива — БИС систолического процессорного элемента.

1. Систолическая реализация алгоритма свертки. Задача двумерной свертки формулируется следующим образом: задаются ядро в виде матрицы весов w размером $k \times k$, где $i, j = 1, \dots, k$, и входное изображение x для $i, j = 1, 2, \dots, n$. Интенсивности элементов выходного изображения определяются формулой

$$y_{ij} = \sum_{i=1}^k \sum_{j=1}^k w_{ij} x_{i+k-1, j+i-1}.$$

Используемая в данной работе конструкция конвейера основана на архитектуре одномерного систолического массива [1]. С точки зрения пользователя процесс вычислений для такого случая может быть представлен как простая подкачка входных данных с одного конца систолического массива и получение результатов на другом конце. Возможность многократного использования входных данных позволяет совместить их обработку с вводом-выводом и достичь высокой производительности при умеренном быстродействии основной памяти.

К другим достоинствам такой архитектуры для реализации ее на специализированных БИС можно отнести:

- использование простых и однородных ячеек;
- простоту и регулярность потоков данных и управления;
- возможность модульного расширения;
- умеренные требования к числу выводов.

В общем случае (для ядра размером $k \times k$) требуется k^2 процессорных элементов (ПЭ). Входное изображение подается в систолический массив двумя потоками из внешней памяти. Потоки состоят из столбцов по $Zk - 1$ пикселей: в одном — четные столбцы, в другом — нечетные. Такой порядок поступления данных обеспечивается с помощью БИС адресного генератора [2]. Каждая ячейка переключается с потока на поток через k тактов. Весовые коэффициенты передаются в том же направлении, что и данные, с вдвое меньшей скоростью. Встречаясь в ячейках, потоки данных и коэффициентов взаимодействуют, и на каждом такте в определенном ПЭ вырабатывается элемент выходных данных. Выходное изображение генерируется в виде полос шириной k , а последовательность вычислений значений удопускает выдачу результатов на общую шину. При такой организации вычислений систолический массив работает с полной загрузкой всех его элементов.

На рис. 1 показан пример одномерного систолического массива процессорных элементов для $k = 3$. Знаком «*» обозначены элементы входных данных, служащие целям согласования потоков данных и коэффициентов.

2. Систолический процессорный элемент. 2.1. Внешняя спецификация ПЭ. Для осуществления алгоритма обработки данных, описанного выше, процессорный элемент должен выполнять следующие функции:

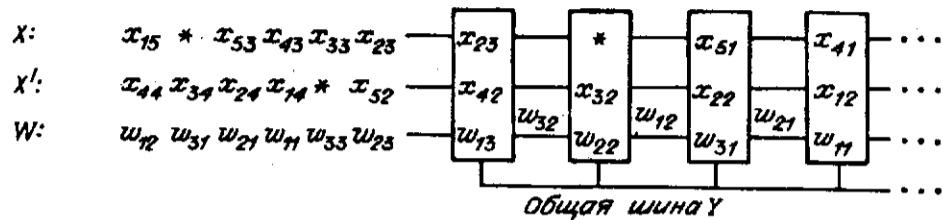


Рис. 1

- трансляция потоков с обеспечением необходимой разности скоростей передачи данных и коэффициентов,
- выбор нужного потока данных,
- выдача результата на общую шину,
- запуск следующего ПЭ,
- операции умножения и сложения.

Необходимость организации внутренних связей (как в рамках систолического массива, так и с внешними объектами) определяет требования к портам БИС систолического процессорного элемента и набора сигналов, используемых для управления.

Предусмотрены три порта ввода/вывода БИС (рис. 2): для двух потоков данных (X и X') и потока весовых коэффициентов W . Чтобы сократить число выводов микросхемы и соответственно площадь, занимаемую ею на плате, используются порты последовательного типа.

Вход FS предназначен для задания выбора потока (X' или X), порт Y — для вывода данных с третьим состоянием, а вход CLC — для ввода сигнала синхронизации.

Для передачи маркера по систолическому массиву используются сигналы $Start$ и $Next$. По сигналу $Start$ ПЭ через порт Y выдает на шину накопленный результат и начинает обработку новой серии, а также формирует сигнал $Next$ для активации следующего элемента.

Данная БИС разрабатывалась для использования в системе обработки изображений, являющейся развитием автоматизированного комплекса, описанного в [3]. Системные требования, предъявляемые к операции свертки,

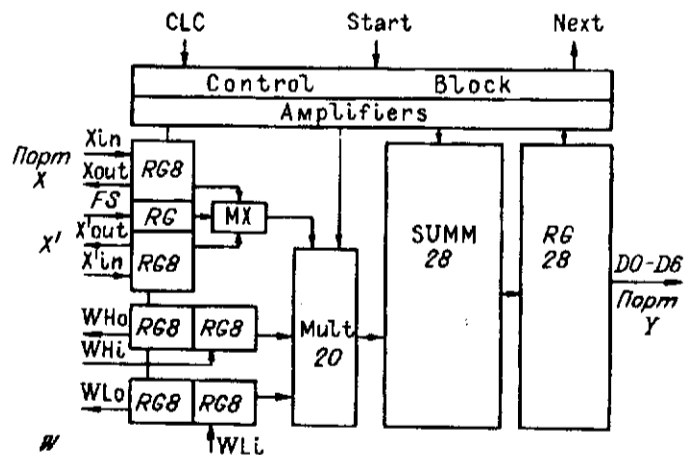


Рис. 2

таковы: разрядность входных данных 8 бит, разрядность весовых коэффициентов 12 бит, производительность 10^6 пиксел/с.

2.2 Структура и функциональное описание ПЭ. В состав БИС процессорного элемента входят устройства умножения и сложения; наборы регистров на входе и выходе, осуществляющие буферизацию данных; мультиплексор $2 \rightarrow 1$ для выбора входного потока и устройство управления/синхронизации. Структурная схема ПЭ представлена на рис. 2. Высокие требования к быстродействию и систолическая архитектура системы определили глубокую конвейеризацию тракта обработки данных.

Потоки входных данных проходят через 8-разрядные сдвиговые регистры, мультиплексором выбирается нужный, который подается в тракт обработки. Коэффициенты передаются двумя частями: младшие 8 бит через один 16-разрядный сдвиговый регистр, старшие 4 — через другой. Различие в разрядности регистров обеспечивает необходимую разность скоростей передачи потоков X и W .

Далее данные и коэффициенты поступают в 20-разрядный умножитель. В течение 8 тактов коэффициент, записанный в регистр с расширением знака, сдвигается и умножается на соответствующий бит данных, результат отправляется в накапливающий сумматор. Таким образом, сумматор является по существу частью умножителя и складывает произведения $w \times x$, формируя выходные данные u .

Наиболее критическая по скорости часть схемы — распространение переноса в сумматоре. После тщательного моделирования нескольких вариантов (14, 5) был разработан сумматор с необходимым быстродействием (хотя и не с минимальным потреблением), устойчивый при значительном разбросе параметров технологии, его активный период (что важно для каскадирования) равен циклу синхронизации минус время перекрытия между фазами. Сумматор-накопитель выполнен в виде 4-ступенчатого конвейера с 7-разрядными секциями.

Результаты выдаются в течение 4 тактов с семи 4-битовых частей 28-разрядного сдвигового регистра. Для работы на общую шину выходные усилители выполнены тристабильными и рассчитаны на одну ТТЛ-нагрузку.

3. Реализация. Разработка БИС процессорного элемента была ориентирована на использование 4-микронной n -МОП-технологии.

Сложность БИС процессорного элемента ~ 5 тыс. транзисторов. Время разработки (от задания внешней спецификации до сдачи технологического файла в производство) ~ 3 мес. Экспериментальные образцы БИС, полученные на первой производственной итерации, оказались работоспособными и полностью соответствуют функциональной спецификации и временным ограничениям.

Задержка на инверторную пару 5—7 нс; потребляемая мощность ~ 500 мВт. БИС имеет 21 вывод, уровни сигналов ТТЛ-совместимые.

Заключение. Выполненная разработка обеспечивает возможность реализации операции двумерной свертки на основе однородного одномерного систолического массива. При этом скорость генерации выходного изображения 1 Мпиксел/с (на выдачу одной точки тратится ~ 800 нс плюс относительно небольшие «накладные расходы», связанные с начальной загрузкой массива).

БИС ПЭ может использоваться также в других конвейерных архитектурах, реализующих преобразования двумерных данных.

СПИСОК ЛИТЕРАТУРЫ

1. СБИС для распознавания образов и обработки изображений /Под ред. К. Фу.—М.: Мир, 1988.
2. Рябченко А. Г. БИС адресного генератора для систем цифровой обработки изображений // Автометрия.—1992.—№ 4.

3. Киричук В. С., Косых В. П., Нестерихин Ю. Е., Яковенко Н. С. Методы и средства оперативной цифровой обработки изображений // Автометрия.—1984.—№ 4.
4. Mead C. A., Conway L. A. Introduction to VLSI Systems.—Reading (Mass.): Addison-Wesley, 1980.
5. Packnell D. A., Esrahian K. Basic VLSI Design System and Circuits.—N. Y.: Prentice-Hall, 1988.

Поступило в редакцию 31 января 1992 г.

Реклама продукции в нашем журнале — залог Вашего успеха!