

УДК 681.3

В. А. Воробьев, Н. В. Лаходынова

(Томск)

РЕКОНФИГУРАЦИЯ ОТКАЗОУСТОЙЧИВОЙ ПРОЦЕССОРНОЙ  
МАТРИЦЫ НА ОСНОВЕ СИГНАЛОВ СОГЛАСИЯ

Предлагается новый подход к обеспечению отказоустойчивости процессорной матрицы, не требующий специальной аппаратуры самодиагностики. Реконфигурация структуры процессорной матрицы производится непосредственно на основе сигналов согласия между процессорными элементами.

**Введение.** Реконфигурация структуры процессорной матрицы — общепризнанный подход к обеспечению ее отказоустойчивости. Задача реконфигурации процессорной матрицы (ПМ), выполненной на неразрезной СБИС, состоит в восстановлении структуры ПМ при отказах процессорных элементов (ПЭ) и связей. В данной работе рассматривается ПМ, представляющая собой квадратную решетку, в узлах которой находятся ПЭ. Матрица выполнена на неразрезной СБИС. СБИС должна иметь резервные ПЭ и связи. Это значит, что размеры матрицы несколько больше, чем необходимо. Кроме того, соседями элемента с координатами  $(i, j)$ , кроме ПЭ  $(i - 1, j)$ ,  $(i, j - 1)$ ,  $(i, j + 1)$ ,  $(i + 1, j)$ , являются некоторые элементы, находящиеся на расстоянии 2 или даже 3 от  $(i, j)$ :  $(i - 2, j)$ ,  $(i - 1, j - 1)$  и т. д.

Известные решения [1, 2] основываются на следующих предположениях: коммутационное окружение ПЭ и связи между ПЭ абсолютно надежны, вертикальные и горизонтальные связи рассматриваются и резервируются отдельно. Реконфигурация структуры связей производится схемами коммутационного окружения ПЭ на основе сигналов неисправности ПЭ аппаратно [1, 2] или программно [3]. Сигналы неисправности получают путем самодиагностики ПЭ, а множество сигналов неисправности образуют синдром неисправности. Резервные элементы могут назначаться программно. Недостатком этих решений является требование абсолютной надежности схем коммутационного окружения. Выход из строя любой из них ведет к фатальному отказу всей ПМ. При программной реконфигурации [3] остается проблема «абсолютно надежных связей».

В [3] предлагается избавиться от аппаратуры самодиагностики за счет того, что каждый ПЭ имеет достаточно много соседей, которые могут служить для него эталонами. Сравнивая результаты тестовой задачи для соседних ПЭ, можно пометить каждую связь между ПЭ флагом согласия-несогласия и получить таким образом синдром несогласия. Если синдром несогласия использовать для получения синдрома неисправности, то проблема абсолютно надежных связей будет создана искусственно: неисправности связей становятся неразличимыми, и приходится делать предположение об абсолютной надежности связей и всего коммутационного окружения. В данной работе предлагается проводить перестройку структуры ПМ непосредственно на основе сигналов согласия без получения синдрома неисправности. Это позволит избавиться от вышеперечисленных предположений и аппаратуры самодиагностики. При таком подходе не требуется также и деления связей на вертикальные и горизонтальные, поскольку предполагается, что все связи функционально эквива-

лентны. В конечном итоге из фрагмента избыточной и неисправной  $n$ -мерной КАИС-структуры [4] должна быть получена исправная двумерная решетка.

**Архитектура отказоустойчивой процессорной матрицы.** Сформулируем требования к архитектуре, которым должна удовлетворять система, использующая отказоустойчивую ПМ. Согласно [3], такая система состоит из трех подсистем: мониторной, массовой памяти и решающего поля.

Мониторная подсистема содержит управляющую ЭВМ, дисплей и клавиатуру.

Подсистема массовой памяти включает накопители информации с параллельным доступом.

Решающее поле (РП) — отказоустойчивая ПМ на неразрезной пластине СБИС или на нескольких пластинах. РП содержит множество (матрицу) процессорных элементов с физическими координатами (адресами, номерами)  $(i, j)$ . ПЭ соединены двумя каналами: регулярным и магистральным.

Регулярный канал (РК) образует локальные информационные связи между ПЭ, расположенными достаточно близко друг к другу. Он же в специальном режиме связывает РП с массовой памятью. Структура РК — фрагмент  $n$ -мерной КАИС-структуры, т. е. каждый ПЭ имеет  $2n$  соседей. Связи функционально неразличимы, и при вложении двумерной решетки любая из них может быть принята горизонтальной или вертикальной, входной или выходной по любому направлению. Связь будет «входной», если на другом ее конце находится ПЭ с меньшим логическим номером, и «выходной» — в противном случае. Информация может передаваться по связи в обоих направлениях, так что понятия «вход» и «выход» имеют отношение только к способу адресации. Предполагается, что в ПЭ имеется коммутатор и таблица назначений физических связей на логические направления в двумерной решетке.

Магистральный канал связывает все ПЭ с управляющей ЭВМ и служит для передачи глобальной (общей для всех) информации: признаков, сигналов прерывания, глобальных команд, таких как пуск, останов, передача управления в активных ПЭ по глобальному признаку.

Каждый ПЭ имеет триггер активности, включение которого блокирует запоминание вновь полученных или вычисленных значений в памяти ПЭ. Аналогичным образом блокируется и прием информации по тем связям, по которым ПЭ «не согласен» с соседом.

Согласно [3], архитектура РП может быть как SIMD (одна команда, много данных), так и MIMD (много команд, много данных), что может существенно повлиять на программирование алгоритмов реконфигурации.

**Волновой алгоритм реконфигурации структуры ПМ.** Перестройка структуры ПМ проводится за счет использования резервных связей. Резервные элементы специально не выделяются. Каждый ПЭ можно использовать в качестве резервного. Каждый ПЭ тестируется, и результаты тестирования сравниваются с результатами тестирования соседей. По результатам тестирования в каждом ПЭ создается список соседей, с которыми ПЭ согласен (процедура тестирования может быть, например, такой, как в [3]). Дуга отмечается флагом несогласия, если хотя бы один инцидентный ей ПЭ не согласен с соседом. Алгоритм реконфигурации не зависит от физической реализации связей и заключается в следующем.

При несогласии между соседними ПЭ в исходной структуре квадратная решетка восстанавливается путем использования резервных связей. Резервные связи включаются на основе логических номеров ПЭ, отображающих адресацию в двумерной квадратной решетке. Физические номера ПЭ используются только для идентификации ПЭ: соседями ПЭ  $(i, j)$  являются ПЭ с номерами  $(i - 1, j)$ ,  $(i, j - 1)$ ,  $(i + 1, j)$ ,  $(i, j + 1)$ . Итак, каждый ПЭ вычисляет свои возможные логические номера на основе логических номеров соседей, с которыми он согласен, начиная с левого и верхнего краев ПМ. Вычисленные логические номера  $(i, j)$ -й ПЭ обязательно передает своим соседям с большими физическими номерами  $(i, j + 1)$ ,  $(i + 1, j)$ ,  $(i, j + 2)$ ,  $(i + 2, j)$  и т. д. Если физические номера соседей  $(i, j)$  и  $(i', j')$  несравнимы между собой, например,

$(i + 1, j)$  и  $(i, j + 1)$ , то передача осуществляется только в одном направлении (например, только от  $(i + 1, j)$  и  $(i, j + 1)$ ).

При достижении правого и нижнего краев ПМ начинается обратный ход, фиксирующий требуемую решетку ПМ. При обратном ходе направления передачи противоположны. Если правый и нижний края недостижимы, происходит фатальный отказ.

Опишем подробнее процедуру вычисления логических номеров ПЭ.

1. *Прямой ход.* Внешние контакты ПЭ будем считать фиктивными элементами. Верхние выходы имеют логические номера  $(0, 0), (0, 1), (0, 2), \dots, (0, m + 1)$ , левые —  $(0, 0), (1, 0), (2, 0), \dots, (n + 1, 0)$ , где  $m$  — количество столбцов в ПМ;  $n$  — количество строк. Начиная с верхнего левого угла ПЭ  $(0, 0)$ , фиктивные и физические ПЭ передают свои логические номера соседям, как было указано выше. ПЭ получает логический номер  $(i'', j'')$ , если среди согласных с ним передающих соседей есть пара  $\{(i, j), (i', j')\}$ , удовлетворяющая условиям

$$[|i - i'| = 1] \& [|j - j'| = 1], \quad (1)$$

$$[(i < i') \rightarrow (j > j')] \vee [(i > i') \rightarrow (j < j')]. \quad (2)$$

Тогда логический номер  $(i'', j'')$  вычисляется как

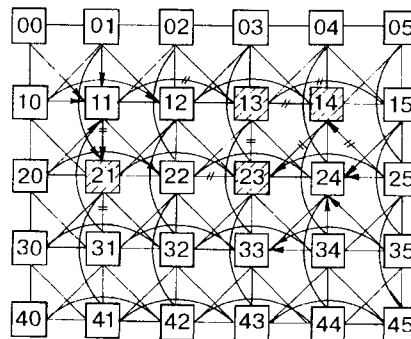
$$(i'', j'') = [\max(i, i'), \max(j, j')].$$

Нижние и правые фиктивные элементы логических номеров не передают. Вместо этого они вырабатывают признак достижения края пластины.

Так как пар, удовлетворяющих условиям (1), (2), может быть несколько, то каждый ПЭ имеет множество возможных логических номеров. Количество возможных логических номеров ПЭ можно изменить (уменьшить) путем задания различных вариантов направлений передачи номеров от соседей (см. рисунок). Кроме того, можно ограничивать список логических номеров, выбирая только его верхнюю границу. Например, из множества номеров  $(i, j), (i + 1, j), (i, j + 1), (i + 1, j + 1)$  следует взять только последний, так как он задаст максимальную текущую решетку.

Заметим, что поскольку логические номера вида  $(0, j), (i, 0)$  присвоены левым и верхним выходам пластины, физические ПЭ с логическими номерами вида  $(1, j), (i, 1)$  всегда будут связаны с краем пластины. Однако в процессе прямого хода номера фиктивных ПЭ на краю пластины могут быть переопределены. Чтобы сохранить указанную связь искомой решетки с краем пластины, фиктивные ПЭ левого края не могут принимать логические номера с ненулевым номером столбца, а ПЭ верхнего края — логические номера с ненулевым номером строки.

2. *Обратный ход.* Фиктивные элементы правого и нижнего краев нумеруются так, будто они являются продолжением ПМ. Наличие признака края



пластины у всех фиктивных ПЭ правого и нижнего краев дает начало обратному ходу, который начинается с фиктивного ПЭ с физическим номером  $(n + 1, m + 1)$ . В списке допустимых логических номеров этого ПЭ находится максимальный или заданный номер  $(k, l)$ , и согласные с ним соседние фиктивные элементы получают логические номера  $(k - 1, l)$  и  $(k, l - 1)$ , если эти номера допустимы. Все остальные допустимые номера уничтожаются. Задачей этой фазы обратного хода является обеспечение связи искомой решетки с правым и нижним краями пластины. Для этого фиктивные ПЭ с физическими номерами  $(n + 1, j)$ ,  $(i, m + 1)$  должны войти в искомую решетку, т. е. допускаются все логические номера вида  $(k, l' < l)$  и  $(k' < k, l)$  соответственно, причем каждый логический номер должен попасть в отдельный ПЭ. Итак, в первой фазе обратного хода логическая нумерация распространяется по правому и нижнему фиктивным краям искомой решетки и каждый ПЭ строки  $k$ , получив от предшественника логический номер  $(k, j)$ , проверяет, допустим ли в нем номер  $(k, j - 1)$ . Если допустим и среди всех предлагаемых логических номеров номер  $(k, j)$  является минимальным, то этот номер фиксируется как единственно возможный и передается дальше по строке. Если номер  $(k, j - 1)$  недопустим, то соответствующий фиктивный ПЭ не попадает в решетку и выход пластины остается незадействованным. Первая фаза обратного хода для нижней строки должна завершиться достижением левого нижнего фиктивного ПЭ с физическим номером  $(n + 1, 0)$  и с логическим номером  $(k, l' < l)$  (как и все угловые ПЭ, он не входит в решетку и не имеет выходов).

Аналогичен алгоритм первой фазы обратного хода и для правого фиктивного столбца.

Если первая фаза имеет нормальное завершение, то обратный ход может продолжаться в глубину пластины, иначе решетка заданного размера  $(k - 1) \times (l - 1)$  невозможна (например, слишком мала).

Вторая фаза обратного хода начинается вместе с первой и вычисляет допустимые логические номера диагональных ПЭ искомой решетки вслед за фиксацией крайних логических номеров:

первая диагональ — элементы  $(k, l - 1)$ ,  $(k - 1, l)$ ,  
 вторая диагональ — элементы  $(k, l - 2)$ ,  $(k - 1, l - 1)$ ,  $(k - 2, l)$

и т. д. Алгоритм этой фазы подобен прямому ходу, только передача информации идет в обратном направлении, а логический номер  $(i'', j'')$  вычисляется по правилу  $(i'', j'') = (\min(i, i'), \min(j, j'))$ . Вычисленный номер  $(i'', j'')$  считается допустимым в ПЭ, если ранее он уже был получен в процессе прямого хода. Таким образом, после обратного хода в списках допустимых номеров ПЭ остается только пересечение множеств номеров прямого и обратного хода. Остальные номера не имеют отношения к искомой решетке и уничтожаются. ПЭ с фиксированными логическими номерами помечается как включенный в решетку.

**3. Фиксация.** Логическая нумерация ПЭ, полученная в результате прямого и обратного хода, относится ко всем возможным вариантам искомой решетки размером  $(k - 1) \times (l - 1)$ . ПЭ не может сопоставить свой допустимый логический номер с тем или иным вариантом решетки. Дело в том, что логический номер — это локальная информация о ПЭ, а вариант решетки в целом — это глобальная информация о всей структуре. Для разрешения таких затруднений в архитектуре ПМ [3] предусмотрен магистральный канал (МК), предназначенный для передачи глобальной информации и выполнения глобальных операций.

Итак, по завершении обратного хода каждый отмеченный ПЭ вырабатывает сигнал неоднозначности, свидетельствующий о том, что ПЭ имеет несколько логических номеров. Сигналы неоднозначности поступают по МК в управляющую ЭВМ и инициируют этап фиксации однозначной логической нумерации. Выбирается произвольный ПЭ с неоднозначной нумерацией, например левый верхний, и в нем фиксируется единственный допустимый ва-

i	j			
	1	2	3	4
1	1,1	1,2	2,2	1,3
2		2,1		2,3
3		3,1	3,2	3,3

риант. После этого процедуры прямого и обратного хода запускаются вновь, но допустимыми считаются только те логические номера, которые уже есть в памяти ПЭ. Этап фиксации логической нумерации повторяется до тех пор, пока не исчезнет глобальный сигнал неоднозначности.

После достижения однозначной нумерации возможна ситуация, когда один и тот же логический номер имеют разные ПЭ. Поэтому происходит опрос процессорных элементов и уничтожение повторно встречающихся логических номеров. Уничтожение каждого логического номера сопровождается прямым и обратным ходом с «выдавливанием» лишних номеров. Опрос повторяется до получения единственного варианта решетки.

4. *Настройка.* После фиксации единственного варианта квадратной решетки происходит настройка структуры связей на полученную логическую нумерацию. С этой целью логические номера ПЭ по возможности параллельно передаются всем соседям и при обнаружении логического соседства по какому-либо направлению соответствующая физическая связь назначается на найденное логическое направление. На этом процесс реконфигурации заканчивается.

**Организация взаимодействий между ПЭ.** Мы описали процесс реконфигурации так, как будто каждый передающий ПЭ действует по своей инициативе, а каждый принимающий ПЭ заранее «знает», когда ему произойдет передача. Программирование такого поведения ПЭ зависит от двух факторов: типа архитектуры ПМ (SIMD или MIMD) и реализации команд обменов (сдвигами по направлениям или индивидуальной передачей-приемом). Для архитектуры типа SIMD естественно использовать сдвиги информации по исходным физическим направлениям. В этом случае все ПЭ выполняют одну программу и передают информацию одновременно. Однако принимают информацию только активные ПЭ и только по тем каналам, где имеется согласие. Таким образом, при прямом и обратном ходе по ПМ продвигаются «волны активности» принимающих ПЭ. Все прочие ПЭ передают, но не принимают информацию. Трудности и некоторые потери возникают из-за того, что количество информации в разных ПЭ различно, и поэтому смена волны активности должна происходить только по окончании передачи и обработки данных во всех активных ПЭ. Установление этого факта требует глобальной операции на множестве триггеров активности.

Аналогичный режим взаимодействий можно организовать и в MIMD-архитектуре ПМ. Однако в этом случае естественнее индивидуальная активность ПЭ как при передаче, так и при приеме данных. Примером такой организации взаимодействий средствами языка Оккам [5] служат транспьютерные матрицы. К сожалению, у транспьютеров только четыре порта ввода-вывода, т. е. нет необходимой избыточности связей.

**Пример реконфигурации.** На рисунке рассматривается матрица размером  $3 \times 4$ . Элементы 0-й и 4-й строк 0-го и 5-го столбцов фиктивные. Связи с несогласными элементами отмечены двумя чертами. Направления передачи информации при выполнении прямого хода показаны в левом верхнем углу стрелками, при выполнении обратного хода — в правом нижнем углу. Конфигурация дефектных связей такова, что при рассмотрении сигналов исправности, как в [1, 2], неисправности, возможно, были бы отнесены к заштрихованным ПЭ. При такой конфигурации неисправных ПЭ все алгоритмы [1, 2] дают фатальный отказ. Использование волнового алгоритма позволяет перестроить структуру ПМ: получить работающую матрицу размером  $3 \times 3$ , при этом ПЭ получают логические номера, которые показаны в таблице в физических координатах  $(i, j)$ .

**Закключение.** Рассмотрение ряда примеров показывает, что использование предлагаемого алгоритма обеспечивает «живучесть» ПМ (т. е. получение рабо-

тающей матрицы меньшего размера), в том числе и в некоторых ситуациях, в которых алгоритмы, основанные на сигналах неисправности, дают фатальный отказ.

Работа выполнена при поддержке фонда грантов Госкомитета по высшему образованию РФ.

#### СПИСОК ЛИТЕРАТУРЫ

1. Сами М., Стефанелли Р. Перестраиваемые архитектуры матричных процессорных СБИС // ТИИЭР. 1986. № 5.
2. Воробьев В. А., Лахodyнова Н. В. Процессорная матрица с перестраиваемой структурой и перестраиваемым резервом // Автометрия. 1994. № 5. С. 90.
3. Воробьев В. А., Еремина Н. Л. Программная реализация реконфигурации отказоустойчивой процессорной матрицы // Автометрия. 1996. № 2. С. 111.
4. Воробьев В. А., Корнеев В. В. Некоторые вопросы теории структур однородных вычислительных систем // Вычислительные системы. Вып. 60. Новосибирск, 1974.
5. Джоунз Г. Программирование на языке Оккам. М.: Мир, 1989.

*Поступила в редакцию 19 марта 1997 г.*

---

**Реклама продукции в нашем журнале — залог Вашего успеха!**