

## ИНТЕРПОЛИРУЮЩИЕ ПРЕОБРАЗОВАТЕЛИ ВРЕМЯ–КОД

В. А. Чулков

*Пензенская государственная технологическая академия, г. Пенза**E-mail: chu@pgta.ac.ru*

Выполнен обзор методов и схем преобразования однократных интервалов времени в цифровой код с использованием принципа интерполяции опорного периода для уменьшения погрешности квантования. Основу интерполирующих преобразователей составляют интегральные цифровые линии задержки и элементы фазовой интерполяции, позволяющие довести разрешающую способность до суббентильного уровня.

**Введение.** Преобразователи время–код (ПВК) необходимы во многих областях науки и техники: от физики высоких энергий и радиолокации до биоизмерений и преобразования акустических сигналов. Актуальной остается задача цифрового измерения интервалов между импульсами или длительности импульсов, например, при оценке качества каналов связи и систем хранения данных. Выбор типа преобразователя определяется требованиями конкретного применения, при этом часто исходят из компромисса между точностью, производительностью и стоимостью устройства. Помимо разрешающей способности ПВК принимаются во внимание такие важные показатели, как динамический диапазон измерения, скорость преобразования, «мертвое» время после окончания одного и до начала следующего измеряемого интервала, число одновременно функционирующих каналов преобразования и т. д.

Очевидно, что точность преобразования определяется не только методической погрешностью квантования времени, но и рядом факторов, присущих как самому ядру ПВК, так и внешних по отношению к этому ядру. К внутренним факторам следует отнести, прежде всего, собственные шумы схемы, в совокупности проявляющиеся как джиттер (дрожание) всех рабочих сигналов ПВК, а также дифференциальную нелинейность преобразования – разность размеров смежных шагов квантования. Среди внешних причин, влияющих на точность преобразования, можно отметить, например, погрешности формирования точек отсчета преобразуемого интервала, а также помехи со стороны шин питания. Так, многие полупроводниковые датчики генерируют сигналы с длительностями фронтов, многократно превосходящими требуемое разрешение, что неизбежно приводит к дисперсии точек отсчета на временной оси. Далее обсуждаются вопросы, касающиеся лишь внутреннего разрешения ПВК.

Хотя способ прямого счета опорных импульсов, укладываемых в измеряемом интервале [1], по мере совершенствования цифровой элементной базы еще сохраняет некоторые ресурсы развития, реализация этих ресурсов требует увеличения опорной частоты, с очевидностью приближающейся к фундаментальным физическим пределам. Поэтому в современных прецизионных ПВК «грубый» счет импульсов дополняют процедурами оценки погрешности квантования в начале и конце измеряемого интервала. Наряду с традиционными методами аналоговой и нониусной развертки задержки опорного импульса относительно значащего момента интервала [2–5], сопряженными с затратами времени на оценку, все более широкое распространение получают методы интерполяции в реальном времени.

Интерполяция как технический прием создания дополнительных точек отсчета внутри некоторого интервала времени применялась еще в ранних ПВК [6]. Развитие в последние годы технологической базы микроэлектроники вызвало к жизни новые способы и схемы интерполяции, реализуемые исключительно на интегральном уровне в виде цифровых линий задержки (ЦЛЗ) и специальных элементов фазовой интерполяции (ФИ). Сведения об этих разработках сосредоточены в разрозненных периодических изданиях и патентах и нуждаются в систематизации.

В предлагаемой работе делается попытка обобщить данные о перспективных интерполирующих ПВК повышенной точности и производительности.

**Цифровая линия задержки** представляет собой цепь буферных каскадов, задержку  $t_D$  которых можно регулировать изменением скорости перезаряда внутренних емкостей [7]. Наличие множества отводов ЦЛЗ позволяет рассматривать ее как мультифазный генератор импульсов (МФГ) с равномерно распределенными фазами, составляющими субшкалу отсчета времени. Время задержки каскада, его шумовые свойства и степень рассогласования звеньев ЦЛЗ определяют точность ПВК. Практически важен вопрос о допустимой длине ЦЛЗ, при которой отклонение задержки не превысит половины задержки одного каскада.

Каждый каскад при номинале времени задержки  $t_D^*$  имеет технологическое отклонение  $\Delta t_{\tau_i}$ , образующееся в процессе изготовления, и шумовое отклонение  $\Delta t_{ш_i}$ , которые вместе проявляются как джиттер (фазовое дрожание) выходного импульса. Таким образом, время задержки  $i$ -го звена ЦЛЗ можно представить как

$$t_{D_i} = t_D^* + \Delta t_{\tau_i} + \Delta t_{ш_i}.$$

Причинами джиттера в каскаде задержки являются главным образом тепловые шумы транзисторов. Так, в дифференциальном КМОП-буфере норма джиттера пропорциональна времени задержки  $t_D$  и обратно пропорциональна размаху импульса  $\Delta U$  [8]:

$$\sigma_{ш} = \frac{\xi}{\Delta U} \sqrt{\frac{2kT}{C_H}} t_D,$$

где  $k$  – постоянная Больцмана;  $T$  – абсолютная температура;  $C_H$  – емкость нагрузки;  $\xi \geq 1$  – коэффициент, учитывающий усилительные свойства, инерционность и нелинейность каскада в зоне переключения.

Можно показать [8], что в ЦЛЗ с автоподстройкой задержки шумовое отклонение нарастает с порядковым номером  $m$  отвода:

$$\sigma_{ш(m)} = \sigma_{ш} \sqrt{m},$$

достигая максимума на выходе ( $m = N$ ), в то время как норма технологического отклонения следует закону

$$\sigma_{T(m)} = \sigma_T \sqrt{\frac{m(N-m)}{N}}$$

и имеет максимум на среднем отводе ЦЛЗ ( $m = N/2$ ). Следовательно, число звеньев ЦЛЗ должно выбираться с учетом технологических ограничений, конструкции и характеристик полупроводниковых структур и хотя бы отвечать условиям (по критерию  $3\sigma$ )

$$\begin{cases} N < (t_D / 6\sigma_{ш})^2, \\ N < (t_D / 3\sigma_T)^2. \end{cases}$$

Некоторые способы точной подстройки времени задержки ЦЛЗ к периоду опорного генератора  $T_0$  иллюстрируют схемы, представленные на рис. 1. Во всех схемах петля автоподстройки задержки содержит фазовый компаратор (ФК), блок накачки заряда (БНЗ) и интегрирующий фильтр.

На рис. 1, *a* показан вариант схемы инвертирующего буфера задержки на базе инвертора  $T_{p1}, T_{m1}$  с ограничением рабочего тока, которое осуществляет-

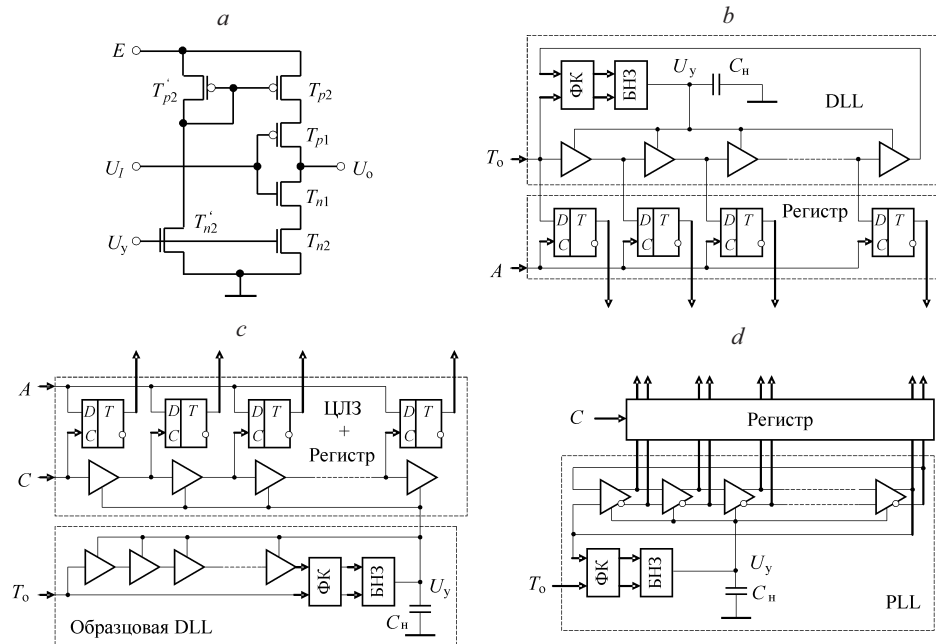


Рис. 1. Способы стабилизации кванта времени МФГ на основе ЦЛЗ: буфер задержки (*a*), DLL (*b*), подстройка ЦЛЗ по образцовой DLL (*c*) и PLL (*d*)

ся с помощью дополнительных транзисторов, образующих токовое зеркало. Можно показать, что при условии комплементарности транзисторов задержки фронта и спада импульса одинаковы и связаны с управляющим напряжением  $U_y$  как  $t_D = C_n / K(U_i - U_y)^2$ , где  $K, U_i$  – удельная крутизна и пороговое напряжение транзистора соответственно.

На рис. 1, *b* МФГ выполнен в виде системы автоподстройки задержки DLL (Delay Lock Loop), запись текущего состояния выходов которой фиксируется регистром в момент поступления фронта сигнала  $A$  как код этого момента, отсчитанный по субшкале МФГ. Полное время задержки ЦЛЗ поддерживается точно равным опорному периоду. Схема на рис. 1, *c*, рассчитанная на применение в многоканальном ПВК [9], включает образцовую систему DLL, синхронизированную опорным генератором, и множество рабочих ЦЛЗ. Звенья рабочих ЦЛЗ подстраиваются управляющим напряжением из образцовой DLL и, благодаря идентичности компонентов интегральной схемы, имеют ту же задержку, что и звенья образцовой DLL. В отличие от предыдущей схемы информационный сигнал  $A$  в каждом канале поступает одновременно на все триггеры регистра, а тактирование триггеров происходит в разные моменты времени сигналом  $C$ , последовательно распространяющимся по ЦЛЗ. Стабилизация времени задержки ЦЛЗ осуществляется системой фазовой синхронизации PLL (Phase Lock Loop), схема которой показана на рис. 1, *d*. Схемы на рис. 1, *b, d* являются автогенераторами, съем состояний ЦЛЗ производится «на лету» без останова генератора. Схема на рис. 1, *c* представляет собой автономную ЦЛЗ с расширенными функциональными возможностями, однако уступает первым двум по точности. Поскольку для удобства цифрового управления предпочтительно иметь четное число фаз МФГ, например  $2^n$ , а условие поддержания колебаний в схеме на рис. 1, *d* требует общей инверсной обратной связи, то ЦЛЗ здесь строится на дифференциальных каскадах задержки.

**ПВК с двойной интерполяцией.** Известно [10], что  $N$ -кратное измерение периодического интервала времени путем счета несинхронных с этим интервалом тактовых импульсов в  $\sqrt{N}$  раз сокращает погрешность квантования. Применение  $N$ -фазного МФГ, каждый выход которого используется для заполнения измеряемого интервала, эквивалентно одному генератору с частотой в  $N$  раз выше частоты МФГ, что уменьшает шаг квантования в  $N$  раз. В подобном случае необходимы  $N$  счетчиков импульсов с последующим сложением достигнутых ими состояний. Недостатком такого способа является сложность сумматора либо большие затраты времени на накопление суммы (при последовательном алгоритме сложения). Расширение динамического диапазона измерения требует пропорционального увеличения разрядности всех входящих в устройство цифровых узлов.

Этих проблем можно избежать в случае использования МФГ для фиксации позиций начала и окончания интервала внутри опорного периода (рис. 2) [11]. Если задержки фронта и спада буферов в МФГ одинаковы, то можно сократить вдвое разрядность всех цифровых узлов в схеме: основные выходы  $(N/2)$ -фазного МФГ перекрывают фазовый диапазон  $0-\pi$ , диапазон  $\pi-2\pi$  покрывается их инверсиями, на факт распространения по каскадам МФГ волны единиц или нулей указывает состояние его младшего выхода. В любой момент времени состояния выходов МФГ (всего  $N$  состояний) образуют термометрический код фазы этого момента.

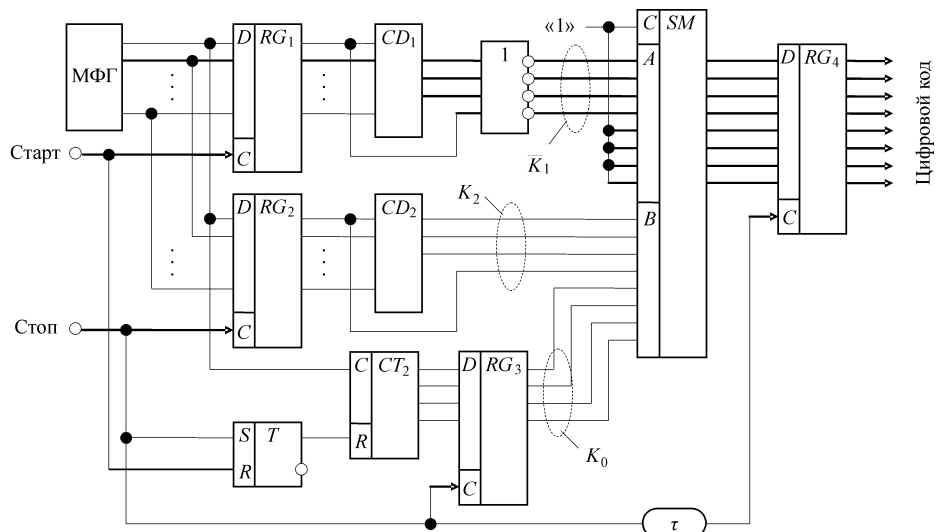


Рис. 2. Преобразователь с интерполяцией начала и конца интервала времени

По сигналам Старт и Стоп в соответствующие регистры записываются отсчитанные по субшкале МФГ коды их фаз, которые далее приводятся шифраторами к обычным двоичным числам  $K_1$  и  $K_2$ . Поскольку признаком полярности зафиксированной регистром волны МФГ служит состояние первого выхода регистра, то оно может рассматриваться как значение старшего разряда двоичного кода фазы. На протяжении измеряемого интервала разрешается также работа счетчика импульсов, подсчитывающего число  $K_0$  полных опорных периодов, укладывающихся в интервал, и передающего свое содержимое по сигналу Стоп в третий регистр. Результат измерения в единицах кванта  $t_D = T_0/N$  образуется в сумматоре путем сложения в дополнительном коде двух чисел, отображающих моменты поступления сигналов Стоп (положительное число  $K_0 K_2$ ) и Старт (отрицательное число  $K_1$ ). С задержкой  $\tau$ , необходимой для установления результата, он записывается в выходной регистр.

**Способы достижения субвентильного разрешения.** Квант времени ЦЛЗ ограничен задержкой ее каскада и не может быть меньше задержки одиночного вентиля. В последнее время предложено несколько способов интерполяции, позволяющих достичь субвентильного разрешения в интегральных ПВК.

Одна из проблем проектирования ЦЛЗ, состоящая в несимметричной задержке фронта и спада импульса, обращена в положительное качество при измерении коротких интервалов времени в линейном ПВК [12]. Основу такого ПВК составляет ЦЛЗ на каскадах с различающимися задержками фронта и спада импульса. За счет этого импульс в процессе распространения по ЦЛЗ монотонно сжимается, пока не исчезнет вовсе. Координата каскада, в котором импульс вырождается, отображает длительность импульса. В КМОП-каскаде задержки на паре инверторов (рис. 3) симметрия первого из них нарушена включением дополнительного  $n$ -канального транзистора  $T_3$ , который задает скорость разряда паразитной емкости  $C_n$  в соответствии с управляющим напряжением  $U_y$ . Поскольку ток заряда емкости остается неизменным

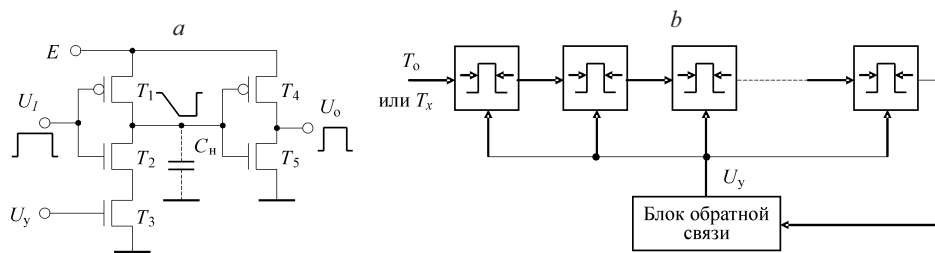


Рис. 3. Линейный ПВК: схема сжимающего элемента задержки (а), структура ЦЛЗ (b)

и всегда большим по абсолютному значению, чем ток разряда, то длительность импульса на выходе сокращается. Мера сжатия импульса – разрешающую способность преобразователя  $R$  – можно регулировать управляющим напряжением. В режиме ожидания ЦЛЗ калибруется, для чего в нее периодически вводится импульс эталонной длительности  $T_0$ , а цепь обратной связи обеспечивает такое управляющее напряжение  $U_y$ , при котором импульс полностью исчезает точно в последнем элементе линии задержки. В режиме измерения эталонный импульс заменяется импульсом измеряемой длительности  $T_x \leq T_0$ . Для определения больших времен схему можно дополнить грубым счетчиком эталонных периодов  $T_0$ , а линейный преобразователь использовать как интерполятор.

В  $N$ -каскадной ЦЛЗ калибровка обеспечивает разрешающую способность  $R = T_0 / N$ . Если в процессе распространения импульс вырождается в  $n$ -м каскаде, то его длительность  $T_x = nT_0 / N = nR$ . Таким образом, достаточно простыми средствами достигается высокое разрешение преобразователя. Например, для опорного периода  $T_0 = 50$  нс и длины линии 64 элемента  $R = 50 \text{ нс} / 64 = 780 \text{ пс}$  [12]. Однако на пути практической реализации способа возникают серьезные препятствия. Во-первых, технологическое рассогласование между элементами сжатия импульса приводит к ухудшению линейности преобразования. Во-вторых, удлинение линии задержки в интегральной схеме конструктивно означает отход от линейной структуры с исполнением ЦЛЗ в виде отдельных сегментов, длина связей (и задержек) между которыми неизбежно оказывается большей, чем длина внутренних соединений. Все это устанавливает принципиальные пределы разрешения ПВК и ограничивает его шкалу величиной максимум 7 бит.

Указанные недостатки устраняются в циклическом ПВК с единственным сжимающим элементом задержки [13] (рис. 4, а). Входной импульс вводится в кольцо, состоящее из элемента сжатия и симметричной (в смысле равенства задержек фронта и спада) ЦЛЗ, время задержки которой должно быть не менее длительности импульса. Кольцо замкнуто через включенные в работу логические вентили, которые обеспечивают положительную обратную связь для того, чтобы перемещающийся по кольцу импульс не изменял полярности. В целях исключения триггерного эффекта перед подачей входного импульса устройство приводится в исходное состояние сигналом сброса.

Для калибровки схемы в цепь задержки подается одиночный либо периодический с достаточно большим периодом эталонный импульс  $T_0$ , который заканчивается до того, как его задержанная и укороченная копия по цепи обратной связи возвращается на вход. В дальнейшем этот импульс, укорачиваясь в каждом цикле на величину  $R$ , многократно обращается по кольцу, пока не исчезнет вовсе. Каждый цикл обращения дает единичный инкремент счет-

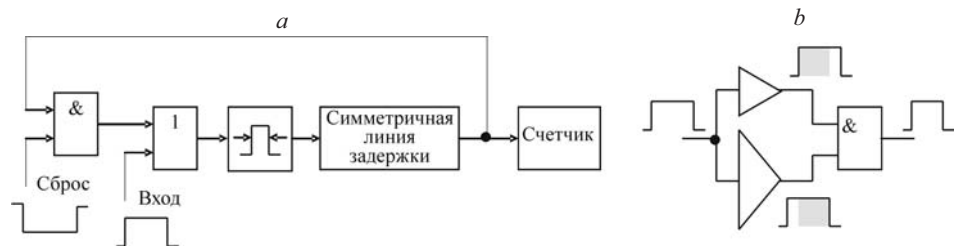


Рис. 4. Циклический ПВК: структура (а), схема сжимающего элемента задержки (b)

чику импульсов, достигающему к окончанию калибровки состояния  $N$ . Значение  $N$  записывается в память, а в цепь задержки по тому же входу вводится импульс измеряемой длительности  $T_x$ , который в процессе обращения по кольцу постепенно теряет свою продолжительность и обеспечивает заполнение счетчика до итогового состояния  $n$ , пропорционального  $T_x$ .

В циклическом ПВК не возникает проблемы линейности преобразования, поскольку сжатие импульса в каждом цикле будет совершенно одинаковым. Повышение точности достигается простым увеличением разрядности счетчика импульсов с одновременным сокращением степени сжатия  $R$ . В то же время, ввиду наличия порога чувствительности счетчика и искажения значения  $R$  при очень малых длительностях, практически невозможно сжать импульс до нуля. Связанная с этим нелинейность, впрочем, может рассматриваться как постоянное смещение счета, которое учитывается и компенсируется путем двукратной калибровки по эталонным длительностям  $T_0$  и  $T_0/2$  [14]. Поскольку подстройка степени сжатия не обязательна, то элемент задержки может обходиться без цепи ее регулирования и выполняться по упрощенной схеме (рис. 4, b) в виде пары разноразмерных буферов с разными задержками распространения. Логическое перемножение задержанных буферами импульсов дает уменьшение длительности, причем степень сжатия задается геометрией транзисторов в буферах.

Простота и высокая линейность преобразования в циклическом устройстве достигаются в ущерб времени готовности к новому циклу преобразования, так как мертвое время, в течение которого нельзя подавать следующий измеряемый сигнал, в наихудшем случае при  $T_x = T_0$  может составить  $T_0/R$  циклов. Поскольку продолжительность одного цикла примерно равна времени задержки  $t_3$  симметричной линии задержки, то мертвое время может доходить до  $T_0 t_3 / R$ .

Еще один способ интерполяции, который можно назвать способом пространственного нониуса, основан на применении дифференциальной линии задержки – двух  $N$ -звенных ЦЛЗ с несколько различающимися задержками (разность задержек звеньев определяет разрешение  $R$  [15]). Разность полных задержек ЦЛЗ устанавливается равной опорному периоду  $T_0$  в режиме калибровки, т. е.  $R = T_0 / N$ . Одноименные звенья обеих ЦЛЗ связаны разрядными триггерами, которые фиксируют в термометрическом коде номер разряда, где произойдет совпадение фронтов распространяющихся по ЦЛЗ импульсов. Если в  $n$ -м каскаде линейки триггеров запишется «1», а в  $(n+1)$ -м – «0», то интервал  $T_x$  между фронтами импульсов находится как  $nR < T_x < (n+1)R$ .

Так как теоретически разрешающая способность устройства не ограничена, на практике значение  $R$  выбирается с учетом шумовых свойств элементов и физической длины ЦЛЗ. Динамический диапазон устройства достаточ-

но сложно расширить, применяя счетчик импульсов. Дело в том, что съём интерполирующей информации с дифференциальной линии возможен только после прохождения сигналами всей ее длины, хотя измеряется интервал, не превосходящий опорный период  $T_o = NR$ . Если следующие входные сигналы поступят до завершения распространения предыдущих сигналов, то возникнет неопределенность в состояниях каскадных триггеров фазового сравнения. Для решения этой проблемы ЦЛЗ разбивают на  $m$  секций по  $M$  каскадов в каждой ( $mM = N$ ) и организуют асинхронное считывание состояний каскадных триггеров с последующим разнесением в пространстве результатов считывания [16].

Развитие полупроводниковых технологий привело к появлению матричных структур МФГ с фазовым шагом, много меньшим задержки вентиля. Элементы в строках матрицы могут соединяться в асинхронные линии задержки, в синхронные линии задержки в виде контуров DLL либо в кольцевые генераторы [17–21]. Ядро ПВК [17] (рис. 5) состоит из  $M$   $N$ -звенных ЦЛЗ, каждая из которых благодаря петле DLL настроена на опорный период  $T_o$ , так что задержка буфера  $t_{DN} = T_o/N$ . Опорные сигналы смежных DLL смещены во времени с помощью дополнительной вертикальной системы DLL на основе  $M$ -звенной ЦЛЗ ( $M < N$ ), эффективное действие которой обеспечивает задержку секции  $t_{DM} = T_o/M = t_{DN} + R$ . Ввиду симметрии матрицы время задержки одного буфера легко исключить, что дает смещение между строками, равное разрешению

$$R = \frac{T_o}{M} - \frac{T_o}{N} = \frac{N - M}{NM} T_o.$$

Улучшению дифференциальной линейности преобразования способствует введение регулируемых пассивных линий задержки [21] либо замена вертикальной DLL блоком фазовой интерполяции [22]. Число квантов  $R$ , укладывающихся в опорном периоде, не является степенью 2 ( $\frac{NM}{N - M} \neq 2^k$ ),

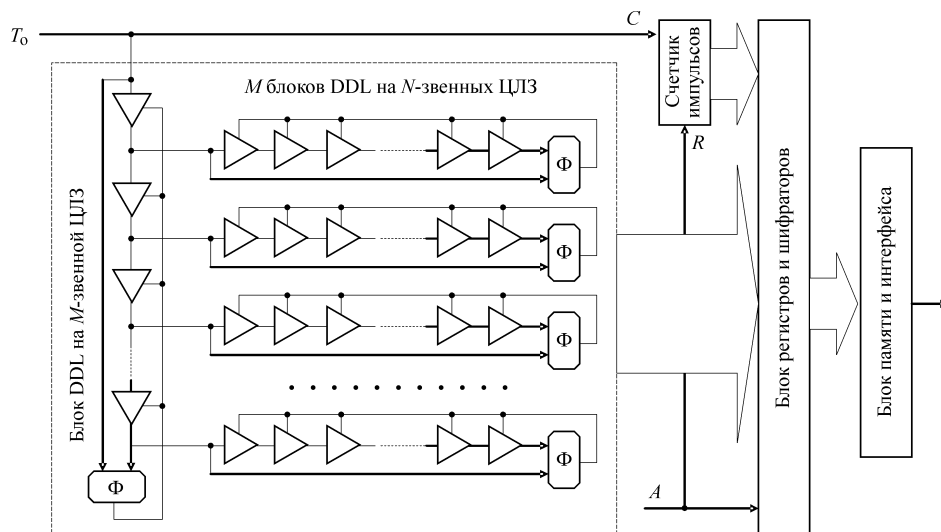


Рис. 5. Применение опорной фазовой матрицы на связанных блоках DLL



поэтому согласование шкал отсчета подразумевает соответствующие процедуры в процессе обработки результатов измерений.

Эффективным шагом на пути построения ПВК с субвентильным разрешением стало создание элементов фазовой интерполяции, формирующих импульс с фазой, средней между фазами пары опорных сигналов. Идея ФИ достаточно проста и заключается во взвешенном суммировании двух сигналов  $A$  и  $B$  с перекрывающимися во времени фронтами, в результате чего получается третий сигнал  $D$  с фазой  $\varphi_D = a\varphi_A + (1-a)\varphi_B$ . Коэффициент интерполяции  $a$  может располагаться в пределах  $0-1$ , однако обычно стремятся получить  $a = 1/2$ . Общий подход к синтезу схемы ФИ состоит в удвоении числа входов обычного буфера задержки. С этой целью каждый связанный с входом транзистор заменяется парой транзисторов того же типа, но общая площадь структуры на кристалле сохраняется с тем, чтобы оставалось прежним и время задержки новой структуры. Подобный подход, например, к исходной схеме биполярного дифференциального каскада приводит к известной схеме балансного смесителя – схеме Гильберта, которую также можно использовать как элемент ФИ.

Парафазный элемент ФИ получается объединением выходов двух дифференциальных каскадов на МОП-транзисторах с резистивной нагрузкой [23] (рис. 6,  $a$ ). В процессе перезаряда емкостей происходит взвешенное суммирование токов, коммутируемых опорными сигналами  $A$  и  $B$ , и в результате

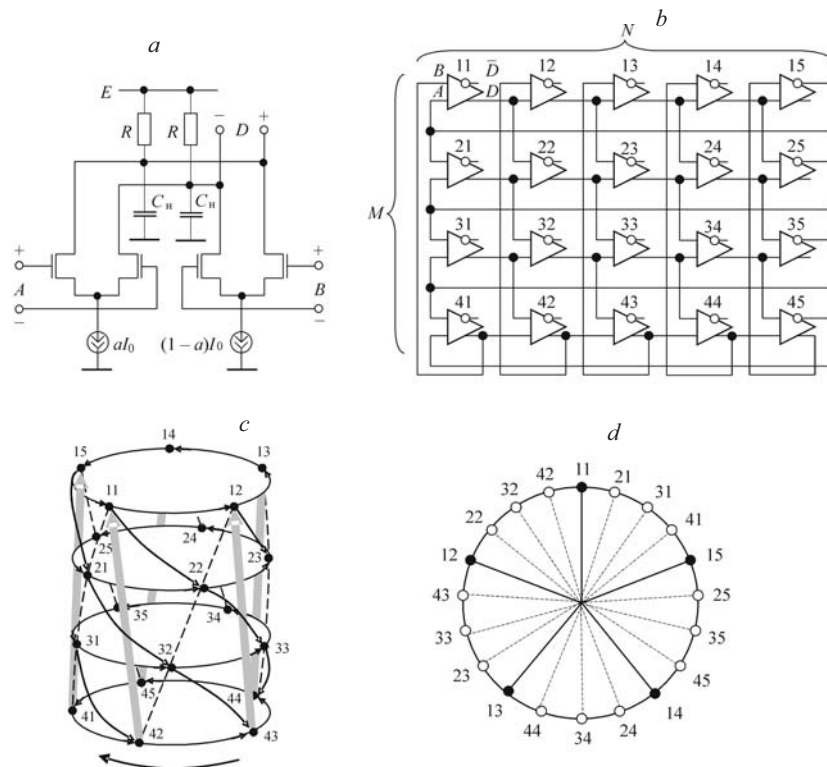


Рис. 6. Интерполирующая матрица: элемент ФИ ( $a$ ), структура ( $b$ ), геометрическая интерпретация ( $c$ ), фазовая диаграмма импульсов ( $d$ )

получается сигнал  $D$  со средней фазой, фронты которого располагаются между фронтами опорных сигналов в соответствии с установленным коэффициентом интерполяции  $a$  (обычно принимается  $a = 1/2$ ). Чтобы интерполирующий сигнал  $D$  располагался на оси интерполяции, оба опорных сигнала также должны быть задержаны.

Заметим, что возможен и однофазный вариант схемы ФИ, который получается простым объединением выходов КМОП-инверторов [24]. Каскадирование элементов ФИ позволяет с каждой ступенью сокращать вдвое рабочий квант времени. Подобный подход использован в целом ряде разработок ПВК [22, 25, 26].

Предлагаемый обзор был бы неполным без упоминания о ПВК, построенном только на элементах ФИ [27] и являющемся, по-видимому, концентрированным выражением идеи фазовой интерполяции. Ядро ПВК (рис. 6, *b*) – интерполирующая матрица, составленная из  $M$  строк по  $N$  последовательно соединенных элементов ФИ. Благодаря инверсной обратной связи каждая строка образует МФГ, для поддержания колебаний в котором достаточно выполнения условия  $|\Delta U_D / \Delta U_A| \geq \sec^2(\pi/N)$ , где  $|\Delta U_D / \Delta U_A|$  – коэффициент усиления элемента ФИ в середине логического перепада. Кроме того, имеются вертикальные прямые (выход  $(m, n)$ -го элемента нагружен на второй вход элемента с индексом  $(m+1, n+1)$ ) и обратные (по столбцу) связи. Архитектура матрицы подобна скрученному на угол  $\pi/N$  цилиндру,  $M$  сечений которого отображают  $M$  кольцевых генераторов; скрутка зафиксирована вертикальными обратными связями (рис. 6, *c*).

В свободном состоянии (без вертикальных обратных связей) колебания всех МФГ синфазны, задержки каскадов – элементов ФИ – одинаковы ( $t_D^*$ ), а период колебаний  $T_0 = 2Nt_D^*$ . В вынужденном состоянии (с вертикальным сцеплением) задержка  $t_D^*$  элемента ФИ отсчитывается от оси интерполяции,

а относительно входов она составляет  $\pm \frac{1}{2} \Delta t$ , где  $\Delta t$  – интервал между фронтами входных импульсов. При этом соответственно изменяется период колебаний, который запишется в виде  $T = 2N \left( t_D^* + \frac{1}{2} \Delta t \right)$ . Интервалы  $\Delta t$ , суммируемые по столбцу матрицы, перекрывают время задержки одного элемента, а именно элемента ФИ из последней строки каждого столбца. Следовательно,

$M\Delta t = t_D^* + \frac{1}{2} \Delta t$ , откуда  $\Delta t = t_D^* / (M - 1/2)$  и период вынужденных колебаний определяется как  $T = 2Nt_D^* \frac{M}{M - 1/2}$ . Период оказывается разделенным

импульсами узлов матрицы на  $T/\Delta t = 2MN$  равных частей, служащих квантами времени ПВК (рис. 6, *d*).

Необходимой точности квантов времени  $\Delta t$  можно достичь путем подстройки частоты колебаний интерполирующей матрицы, включив ее в петлю фазовой синхронизации. Частота матрицы регулируется либо изменением тока смещения  $I_0$  во всех ФИ, либо просто изменением питающего ее напряжения. В схеме ПВК доступ к узлам матрицы осуществляется с помощью параллельного регистра разрядностью  $N \times M$ , который фиксирует состояния матрицы в моменты отсчета. Длительность интервала определяется в числе квантов  $\Delta t$  вычитанием кодов отсчетов и добавлением к разности целого чис-

ла периодов с масштабным коэффициентом  $N \times M$ , уложившихся в паузу между отсчетами.

**Заключение.** Применение принципа фазовой интерполяции на современном технологическом уровне микроэлектроники позволяет создать прецизионные многоканальные ПВК, работающие в реальном времени с высокой производительностью. Разрешение интерполирующих ПВК ограничено, по существу, лишь шумовыми свойствами полупроводниковых компонентов и непрерывно улучшается, достигая уже десятков пикосекунд.

#### СПИСОК ЛИТЕРАТУРЫ

1. **Мейзда Ф.** Электронные измерительные приборы и методы измерений. М.: Мир, 1990.
2. **Porat D. I.** Review of sub-nanosecond time interval measurements // IEEE Trans. Nuclear Sci. 1973. NS-20, Is. 5. P. 36.
3. **Рахтор Т. С.** Цифровые измерения. АЦП/ЦАП. М.: Техносфера, 2006.
4. **Чу Ж., Фергюсон Дж.** Генераторы импульсов с разрешением 20 пс // Электроника. 1977. № 23. С. 25.
5. **Гурин Е. И., Дятлов Л. Е., Коннов Н. Н. и др.** Нониусный измеритель временных интервалов на П.Л.И.С // Приборы и техника эксперимента. 2004. № 4. С. 44.
6. **Шляндин В. М.** Цифровые измерительные устройства: Учебник для вузов. М.: Высш. шк., 1981.
7. **Mahapatra N. R., Tareen A., Garimella S. V.** Comparison and analysis of delay elements // Proc. of the IEEE Computer Society Annual Workshop on VLSI (WVLSI 2000). Orlando, FL, 2000. P. 81.
8. **Чулков В. А.** Фазовая интерполяция в системах синхронизации и преобразования информации. Пенза: Изд-во Пенз. гос. технолог. академии, 2008.
9. **Arai Y., Ikeno M.** A time digitizer CMOS gate-array with a 250 ps time resolution // IEEE Journ. Solid-State Circuits. 1996. 31, N 2. P. 212.
10. **Kalisz J.** Review of methods for time interval measurements with picosecond resolution // Metrologia. 2004. N 41. P. 17.
11. **Пат. 2260830 РФ.** Устройство для измерения интервала времени /В. А. Чулков. Опубл. 20.09.2005, Бюл. № 26.
12. **Ralsanen-Routsalainen E., Rahkonen T., Kostamovaara J.** A lower-power CMOS time-to-digital converter // IEEE Journ. Solid-State Circuits. 1995. 30, N 9. P. 984.
13. **Chen P., Liu S.-I., Wu J.** A low power high accuracy CMOS time-to-digital converter // IEEE Intern. Symp. on Circuits and Systems. Hong Kong, 1997. P. 281.
14. **Chen P., Liu S.-I.** A cyclic CMOS time-to-digital converter with deep sub-nanosecond resolution // IEEE Custom Integrated Circuits Conf. 1999. P. 605.
15. **Pat. 4433919 US.** Differential time interpolator. Publ. 28.02.1984.
16. **Dudek P., Hatfield J.** A zero dead-time, high temporal resolution, time-of-flight particle detector IC // Proc. of the Eurosensors XI Conf. Warsaw, Poland, 1997. P. 1341.
17. **Yang R.-L., Liu S.-I.** A wide-range multiphase delay-locked loop using mixed-mode VCDLs // IEICE Trans. on Electron. 2005. E88-C, N 6. P. 1248.
18. **Mota M., Christiansen J.** A four channel, self-calibrating, high resolution, time to digital converter // Proc. of the 5th IEEE Intern. Conf. on Electronics, Circuits and Systems (ICECS'98). Lisbon, Portugal, 1998.

19. **Mota M., Christiansen J., Debieux S. et al.** A flexible multi-channel high-resolution time-to-digital converter ASIC // IEEE Nuclear Sci. Symp. Conf. Record. 2000. Vol. 2. P. 9/155.
20. **Doernberg J., Lee H.-S., Hodges D. A.** Full-speed testing of A/D converters // IEEE Journ. Solid-State Circuits. 1984. **SC-19**, N 6. P. 820.
21. **Mota M., Christiansen J.** A high-resolution time interpolator based on a delay locked loop and an RC delay line // IEEE Journ. Solid-State Circuits. 1999. **34**, N 10. P. 1360.
22. **Пат. 2303803 РФ.** Преобразователь время–код /В. А. Чулков. Опубл. 27.07.2007, Бюл. № 21.
23. **Mukhtar S.** Interval modulation: A new paradigm for the design of high speed optical communication systems: Ph.D. Dissertation /California Institute of Technology. Pasadena, 2004.
24. **Pat. 5717362 US.** Array oscillator circuit. Publ. 10.02.1998.
25. **Pat. 6426662 US.** Twisted-ring oscillator and delay line generating multiple phases using differential dividers and comparators to match delays. Publ. 30.07.2002.
26. **Lee L.-M., Yang C.-K. K.** A sub-10ps multi-phase sampling system using redundancy // IEEE Journ. Solid-State Circuits. 2006. **41**, N 1. P. 265.
27. **Maneatis J. G., Horowitz M. A.** Precise delay generation using coupled oscillators // IEEE Journ. Solid-State Circuits. 1993. **28**, N 12. P. 1273.

*Поступила в редакцию 15 апреля 2008 г.*

---