

УДК 681.335.87

## АЛГОРИТМЫ ИНТЕРПОЛЯЦИИ КВАДРАТУРНЫХ СИГНАЛОВ ДЛЯ ВЫСОКОРАЗРЕШАЮЩИХ ПРЕОБРАЗОВАТЕЛЕЙ ЛИНЕЙНЫХ И УГЛОВЫХ ПЕРЕМЕЩЕНИЙ\*

© А. В. Кирьянов, В. П. Кирьянов, В. В. Чуканов

*Институт автоматики и электрометрии СО РАН,  
630090, г. Новосибирск, просп. Академика Коптюга, 1  
E-mail: kiryanov@iae.nsk.su*

Анализируются возможности некоторых алгоритмов интерполяции квадратурных сигналов, используемых в настоящее время при создании интерфейсных блоков параллельного типа для преобразователей линейных и угловых перемещений с высоким разрешением.

*Ключевые слова:* алгоритмы интерполяции, интерфейсные блоки, фотоэлектрические угловые преобразователи, фотоэлектрические линейные преобразователи, абсолютные и инкрементные преобразователи.

DOI: 10.15372/AUT20190109

**Введение.** В настоящее время для преобразователей с квадратурными выходными сигналами разработаны различные алгоритмы повышения их разрешающей способности. Многие алгоритмы реализованы в виде законченных интегральных схем и интерфейсных блоков, ориентированных на применение в преобразователях линейных и угловых перемещений. Однако не каждый из них может быть использован в составе абсолютных комбинированных преобразователей или преобразователей нониусного типа. Эта особенность обусловлена тем, что в указанных преобразователях либо для повышения точности, либо для реализации базового принципа преобразования используются растровые сопряжения, характерные для инкрементных преобразователей. При этом результат преобразования фазы квадратур должен быть сформирован сразу же после включения питания. Такую возможность предоставляют интерфейсные модули параллельного типа.

Известны реализации подобных интерфейсных модулей на базе алгоритмов типа CORDIC [1, 2], в основе которых лежит вычисление функции  $\arctg(\varphi)$ , и алгоритмов, использующих принцип предварительного кодирования результатов преобразования в запоминающих устройствах [3]. Авторами предложен новый способ построения интерфейсных модулей на базе алгоритма с селективным суммированием частей квадратур [4, 5].

Цель предлагаемой работы — показать перспективность данного алгоритма в составе интерфейсных модулей параллельного типа для линейных и угловых преобразователей (энкодеров).

**Схема инкрементного преобразователя с интерфейсным блоком параллельного типа.** Повышение разрешающей способности инкрементных преобразователей за счёт интерполирующих процедур осуществляется двумя путями: первый основан на использовании алгоритмов с умножением частот выходных квадратур, второй — на применении прямого измерения фазы квадратур. Технически это реализуется созданием интерполяторов последовательного или параллельного типа. Интерполяторы последовательного

\*Работа выполнена в рамках государственного задания (проект IV.36.1.3; государственная регистрация № АААА-А17-11706061006-6).

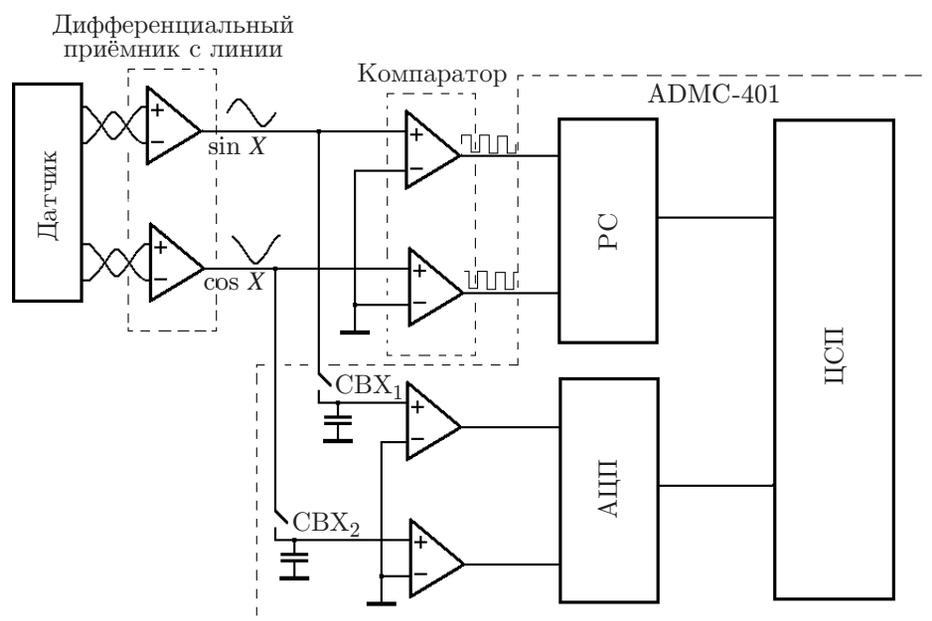


Рис. 1. Схема типового интерфейсного блока преобразователя инкрементного типа

типа для получения результата с высоким разрешением обязательно требуют смещения измерительного раstra датчика, хотя бы в пределах периода квадратур. По этой причине они далее не анализируются. Интерполяторы параллельного типа не требуют смещения раstra, так как вычисляют текущее значение фазы квадратур непосредственно из полученных их мгновенных значений. На рис. 1 представлена широко распространённая схема инкрементного преобразователя, приведённая в [2, с. 217] и реализующая повышенную разрешающую способность по второму варианту. Здесь сигналы с датчика передаются в блок интерполяции с помощью витой пары проводов. Сигналы поступают на входы специальных дифференциальных приёмников с линии. В этой части интерфейсного блока чаще всего выполняются операции, связанные с нормировкой принятых сигналов, в результате которой производятся выравнивание амплитуд обеих квадратур, регулировка нулевого смещения и выставление точного фазового сдвига между обеими квадратурами. После этого нормированные сигналы разделяются на два направления. По первому сигналы поступают на входы сформированного в конвертере канала регистрации числа штрихов измерительного раstra преобразователя. Канал регистрации включает в себя компаратор и реверсивный счётчик. С выхода реверсивного счётчика сигналы поступают на входы цифрового сигнального процессора (ЦСП). По второму направлению нормированные квадратуры поступают на входы точного канала регистрации фазы, имеющего в своём составе схемы выборки и хранения (СВХ<sub>1</sub> и СВХ<sub>2</sub>) и быстрые аналого-цифровые преобразователи (АЦП). Выходные сигналы АЦП приходят на соответствующие входы ЦСП, который преобразует мгновенные значения синусного и косинусного сигналов в код текущего значения фазы квадратур, используя для этого нужный алгоритм интерполяции.

Выход интерфейсного блока формируется ЦСП на основании информации, поступающей в виде параллельных кодов от реверсивного счётчика и измерителя фазы. В зависимости от числа штрихов  $N$  измерительного раstra датчика длина выходного кода реверсивного счётчика может составлять от  $2^{10}$  (если  $N = 1024$ ) до  $2^{15}$  (если число  $N = 32\,768$ ) и более. В зависимости от качества настройки растрового сопряжения и соответственно формы выходных сигналов преобразователя коэффициент интерполяции в точном канале может меняться от  $2^8$  до  $2^{12}$ . Тогда общая длина выходного слова интерфейсного блока

будет варьироваться от  $2^{23}$  до  $2^{27}$ . Скорость получения информации о точном угловом положении вала во многом зависит от параметров ЦСП.

**Требования к цифровому сигнальному процессору.** Минимальные требования к аппаратной платформе блока, необходимые для реализации параллельных алгоритмов интерполяции, следующие:

- быстрое высокопроизводительное ядро ЦСП,
- наличие многоканального АЦП с одновременной выборкой,
- возможность организации реверсивной регистрации штрихов шкалы,
- наличие последовательного коммуникационного порта, который используется для взаимодействия энкодеров с соответствующими контроллерами систем управления с помощью современных протоколов, например BiSS, EnDat, SSI, HIPERFACE.

В свою очередь, ЦСП должен иметь в своём составе блоки обработки сигналов, такие как аппаратный умножитель и аккумулятор, арифметическое логическое устройство, сдвигатель кодов и др. В [2] особенности специализированного процессора анализируются на примере конвертера ADMC-401 фирмы Analog Devices (США), который был создан на основе 26 MIPS 16-битового ядра ЦСП с фиксированной точкой.

**Прямое вычисление арктангенса.** В точном канале регистрации фазы квадратур анализируемого интерфейсного блока текущее значение фазы с высоким разрешением вычисляется непосредственно из оцифрованных сигналов  $\sin$  и  $\cos$ . Вычисления ведутся в соответствии с известным выражением

$$\theta_i = \arctg(V_{\sin}/V_{\cos}), \quad (1)$$

где  $V_{\sin}$  и  $V_{\cos}$  — цифровое представление мгновенных значений сигналов  $\sin$  и  $\cos$ .

Процесс вычисления текущего значения фазы квадратур начинается с выполнения операции деления цифровых эквивалентов мгновенных значений  $V_{\sin}$  и  $V_{\cos}$ . Затем начинается процесс вычисления фазы квадратур как арктангенса полученного значения, для чего используется аппроксимирующий многочлен следующего вида:

$$\arctg(\alpha) = 0,318253\alpha + 0,003314\alpha^2 - 0,130908\alpha^3 + 0,068542\alpha^4 - 0,009159\alpha^5, \quad (2)$$

где  $\alpha = V_{\sin}/V_{\cos}$ . Как видно из (2), многочлен ограничен пятым порядком разложения функции в ряд Тейлора. В [1] возможности данного алгоритма предварительно тестировались с помощью пакета Matlab. Для этого в Matlab генерировались коды  $V_{\sin}$  и  $V_{\cos}$  с дискретностью порядка  $2^{-12}$ . Значения передавались в ЦСП, где они обрабатывались согласно (1) и (2) с использованием стандартной 16-разрядной арифметики с фиксированной точкой. Результат вычислений затем передавался обратно в Matlab и в пределах одного периода квадратур вычислялась разница между значениями, сформированными в Matlab с высокой точностью, и значениями, вычисленными в ЦСП с помощью (1) и (2) (представлен на рис. 2 [2, с. 220]). Как видно из приведённых данных, ошибка вычислений составляет  $\leq 0,01$  градуса оборота вектора фазовой плоскости, что соответствует  $2^{-15}$  периода квадратур. Например, для грубого углового преобразователя, имеющего всего 1024 штрихов на оборот измерительного растра, эта ошибка соответствует погрешности  $2^{-25}$  от оборота растра. Для достаточно продвинутых угловых преобразователей, имеющих, например, 32 768 штрихов на оборот, подобный интерфейсный блок обеспечит разрешение порядка  $0,001''$ , что соответствует  $2^{30}$  разрешаемых положений на оборот.

Приведённый результат не учитывает искажений в реальной системе, обусловленных возможным смещением постоянной составляющей сигнала или ошибками в коэффициентах усиления сигналов синусного и косинусного каналов энкодера или в аналоговых цепях обработки сигналов до АЦП, а также неточностью сдвига фаз в энкодере. Фактически результат характеризует методическую погрешность алгоритма.

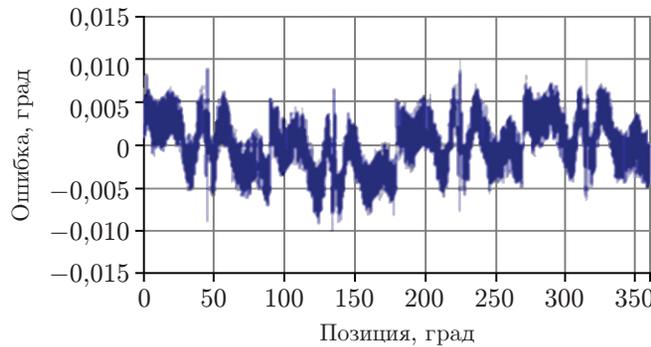


Рис. 2. Погрешность вычислений фазы в пределах одного периода квадратур

Длительность процедуры вычисления фазы квадратур согласно (1) и (2) для процессора, выполняющего команды за один такт [5], составляет 170 машинных тактов. При использовании современных ЦСП с большими возможностями параллельного вычисления число тактов может сократиться до 100–150. Общее время вычислений фазы при частоте работы ядра 100–150 МГц составит  $\sim 1$  мкс. В отечественных разработках с применением алгоритма CORDIC, например в [1], результат преобразования несколько хуже. Здесь время преобразования фазы квадратур в цифровой код достигает 300 мкс. Во многих случаях подобная длительность процесса вычислений фазы ограничивает область использования данного метода. В настоящее время можно найти более производительные ЦСП, но выбор их резко ограничен, когда требуется наличие в них специфической периферии, включая встроенные быстродействующие многоканальные прецизионные АЦП.

В случаях, когда принципиально важно малое время вычисления фазы квадратур, применяют табличный метод вычисления их текущих значений [3, 6].

**Табличный метод интерполяции квадратурных сигналов.** Заметное ускорение процедуры вычисления текущей фазы квадратурных сигналов обеспечивает применение табличного метода интерполяции для увеличения разрешающей способности лазерных интерферометрических преобразователей линейных перемещений [3, 6]. Однако это не исключает использования подобных алгоритмов в угловых преобразователях. На рис. 3 представлена структурная схема блока обработки данных с высоким разрешением [6, с. 89].

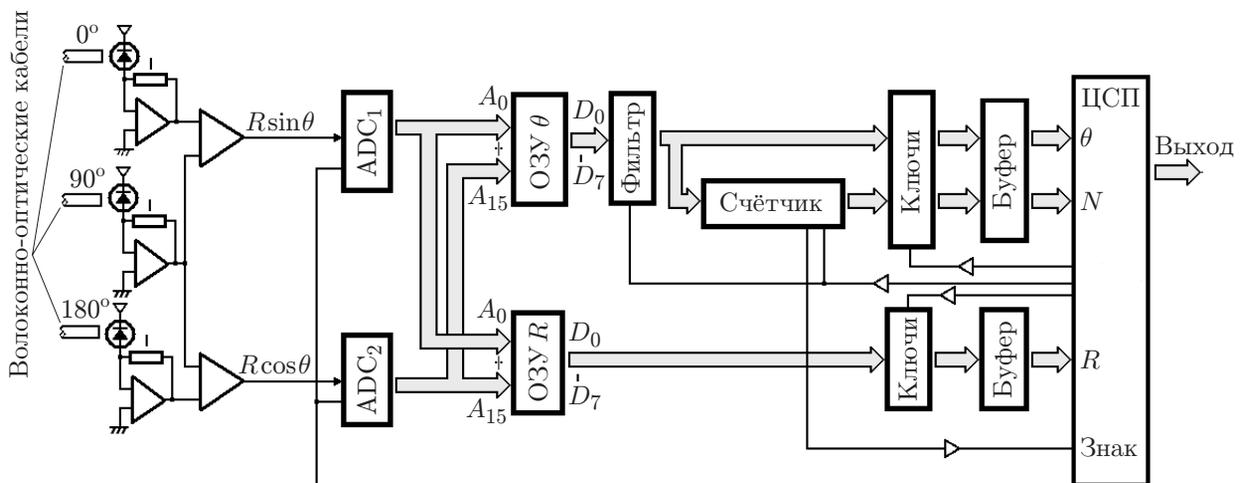


Рис. 3. Блок-схема интерфейсного модуля с табличным алгоритмом интерполяции

Здесь рассмотрен вариант преобразователя, когда с выхода лазерного интерферометра по волоконно-оптическим кабелям передаются три оптических сигнала, из которых с помощью фотоприёмников формируются электрические сигналы

$$U_1 = U_0 + R \sin \theta; \quad U_2 = U_0 + R \sin(\theta + 90^\circ); \quad U_3 = U_0 + R \sin(\theta + 180^\circ). \quad (3)$$

Путём вычитания  $(U_1 - U_2)$  и  $(U_2 - U_3)$  формируют следующую пару квадратур:

$$U_s = \sqrt{2} R \sin(\theta + 45^\circ), \quad U_c = \sqrt{2} R \cos(\theta + 45^\circ). \quad (4)$$

Напряжения  $U_s$  и  $U_c$  с выхода операционных усилителей подаются на входы высокоскоростных восьмиразрядных АЦП ( $ADC_1$  и  $ADC_2$  соответственно). Получившиеся на выходах АЦП коды по локальным шинам передаются на адресные входы  $A_0 \dots A_{15}$  двух оперативных запоминающих устройств (ОЗУ  $\theta$  и ОЗУ  $R$ ). Здесь каждому мгновенному значению квадратур ставится в соответствие текущее значение фазы. Как правило, в подобных алгоритмах используют близкую к линейной зависимость текущих мгновенных значений функции  $\sin \theta$  от  $\theta$ , которая имеет место в интервале  $[-45^\circ, +45^\circ]$ . Аналогичная зависимость прослеживается для косинусной функции, но в интервале фаз от  $+45$  до  $+135^\circ$ . Отслеживая текущий номер квадранта фазовой плоскости (по состоянию старших разрядов выходных кодов  $ADC_1$  и  $ADC_2$ ) на шинах ( $D_0 \dots D_7$ ), формируют выходные коды текущих значений фазы  $\theta_i$  в пределах каждого периода изменения квадратур. Полученные значения фазы проходят через дискретный фильтр для устранения неоднозначности отсчётов фазы и далее направляются в буферный регистр цифрового сигнального процессора. Одновременно реализуется алгоритм реверсивного счёта зон, предложенный в [7], который по своей сути идентичен процессу реверсивного счёта периодов выходных сигналов лазерного интерферометра перемещений. Данные с выхода реверсивного счётчика зон передаются на другой буферный регистр ЦСП. По аналогии с предыдущей реализацией интерфейсного блока в этом процессоре информация с реверсивного счётчика и измерителя фазы квадратур также объединяется в единое слово, которое передаётся на выход через последовательный порт.

При создании такого интерфейсного блока решалась задача обеспечения высокой скорости обработки информации с выхода лазерного интерферометра, которая во многом определялась параметрами АЦП. В результате были выбраны восьмиразрядные АЦП. Как следствие, коэффициент интерполяции составил 256 (или разрешение  $2^{-8}$  от периода квадратур).

Существенно большее увеличение разрешающей способности достигнуто в аналогичной схеме интерфейсного блока модели RPI 20 фирмы RENISHAW (Англия) [3]. В этом интерфейсном блоке использовались двенадцатиразрядные АЦП, и поэтому был получен коэффициент интерполяции, равный 2048. Таким образом, в двухпроходных интерферометрах (когда трипель-призмы используются в обоих плечах интерферометра) достигается разрешение, равное 76,2 пикометра, а в интерферометрах с плоскими зеркалами (четырёхпроходных) — 38,6 пикометра.

**Восстановление фазы из частей квадратур.** Заметно меньше требуется технических ресурсов, прежде всего объёма оперативной памяти, при реализации алгоритма интерполяции дробных долей, основанного на селективном суммировании частей квадратур [4, 5]. Блок-схема точного канала интерфейсного модуля, реализующего цифровой вариант этого алгоритма, представлена на рис. 4. Здесь, как и в предыдущих реализациях интерфейсных блоков, их выходные сигналы поступают на вход блока интерполяции с помощью витых пар на уровне дифференциальных сигналов. Нормированные по амплитуде и фазе компоненты  $\sin \theta$  и  $\cos \theta$  передаются на входы двух аналого-цифровых преобразователей ( $АЦП_1$  и  $АЦП_2$ ), имеющих схемы выборки и хранения. Работа обоих АЦП инициируется

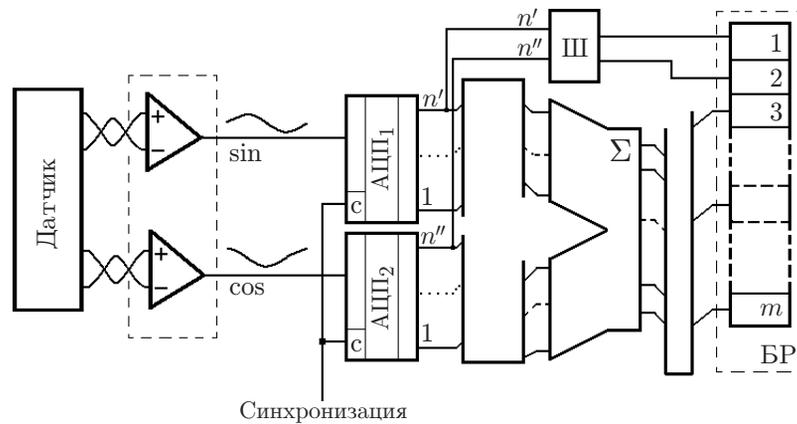


Рис. 4. Блок-схема точного канала интерфейсного модуля, реализующего алгоритм с селективным суммированием частей квадратур

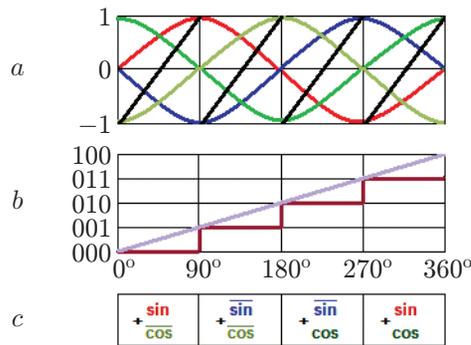


Рис. 5. Аналоговые образы сигналов, формируемых процессором

либо внешним, либо внутренним синхронизирующим сигналом. Коды мгновенных значений квадратур с выходов АЦП<sub>1</sub> и АЦП<sub>2</sub> по внутренним локальным шинам передаются на соответствующие входы сумматора (Σ), в котором производится в зависимости от текущего квадранта фазовой плоскости сложение кодов синусной и косинусной составляющих (или их инверсий), в том числе в первом квадранте фазовой плоскости реализуется операция  $(\sin \theta + \overline{\cos \theta})$ , во втором —  $(\overline{\sin \theta} + \overline{\cos \theta})$ , в третьем —  $(\overline{\sin \theta} + \cos \theta)$  и в четвёртом —  $(\sin \theta + \cos \theta)$  (рис. 5, c). Для наглядности на рис. 5, a, b указанные операции представлены в виде эпюр аналоговых сигналов, формируемых в ходе манипуляций с исходными квадратурными сигналами. Реально данные манипуляции осуществляются в сумматоре процессора на уровне цифровых кодов мгновенных значений синусной и косинусной квадратур и их инверсий. Компонента  $\overline{\sin \theta}$  выделена на рис. 5, a красным цветом, компонента  $\cos \theta$  — зелёным,  $\overline{\sin \theta}$  — синим,  $\overline{\cos \theta}$  — светлозелёным, результат сложения в каждом квадранте (линейная функция) обозначен чёрным. Номер квадранта распознаётся в сумматоре (Σ) и в шифраторе (Ш) (см. рис. 4) по состоянию  $n'$  и  $n''$  — старших разрядов выходных кодов АЦП<sub>1</sub> и АЦП<sub>2</sub>. При этом шифратор присваивает первому квадранту фазовой плоскости код 00, второму — 01, третьему — 10 и четвёртому — 11, которые передаются в первый и второй разряды выходного буферного регистра (БР) (см. рис. 4). Результаты селективного сложения выходных кодов АЦП передаются из сумматора в третий и последующие разряды БР. Аналоговые образы кодов, сформированных в результате занесения упомянутых выше кодов в соответствующие разряды БР, представлены на рис. 5, b. В результате выполнения данных процедур формируется линейная функция, пропорциональная фазе

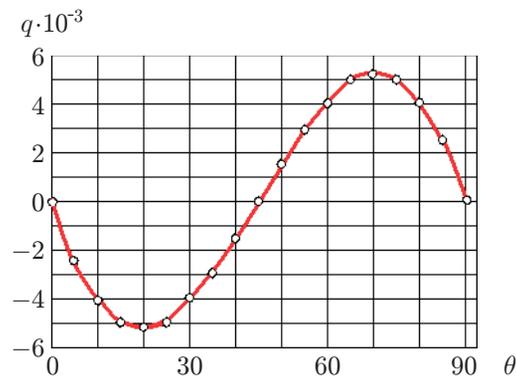


Рис. 6. Кривая погрешности алгоритма на интервале  $0 - 90^\circ$

исходных квадратур (линия серого цвета).

Анализ предложенной схемы точного канала, ответственного за определение текущего значения фазы квадратур, отсутствие операций деления в используемом алгоритме интерполяции однозначно указывают на возможность и целесообразность технической реализации данной схемы с помощью современных программируемых логических интегральных схем (ПЛИС), имеющих в своём составе встроенные АЦП со схемами выборки и хранения, сумматоры, оперативную память, регистры, логические схемы. Их применение позволяет создавать быстродействующие интерфейсные модули с достаточно высоким разрешением, например ПЛИС типа MAX10 фирмы Altera (США) [7]. Ресурсы подобных ПЛИС позволяют достаточно просто получать в цифровом виде инверсные значения обеих компонент, выполнять битовые операции при селекции квадрантов фазовой плоскости и другие необходимые процедуры для реализации алгоритма интерполяции дробных с селективным суммированием частей квадратур.

Попутно следует отметить важную особенность данного алгоритма интерполяции, не имеющую аналогии в предыдущих алгоритмах и состоящую в том, что при использовании  $n$ -разрядных АЦП алгоритм позволяет реализовать разрешающую способность, пропорциональную  $2^{-(n+2)}$ . Одновременно следует отметить, что для этого же алгоритма характерно наличие в каждом квадранте периодических отклонений от линейности преобразования мгновенных значений квадратур в их фазу. На рис. 6 представлена периодическая функция, отражающая эти отклонения в пределах одного квадранта. Экстремумы функции равны  $\pm 0,00527q$ , где  $q$  — размер (линейный или угловой) периода квадратур. Эти экстремумы приходятся на значения  $\theta$ , равные  $19$  и  $71^\circ$ . Указанная нелинейность вносит методическую погрешность в результаты измерений, которая больше чем  $2^{-8}$ , но меньше чем  $2^{-7}$  линейного или углового размера периода квадратур. При необходимости нелинейность может быть скомпенсирована при применении, например, табличного метода. С учётом периодичности кодов поправок в каждом квадранте потребуется память объёмом всего 1 Кбайт (знаковых), если в блоке реализуется разрешение  $2^{-12}q$  (коэффициент интерполяции равен 4096). Если брать во внимание центральную симметрию кривой погрешности относительно средней точки каждого квадранта фазовой плоскости, то достаточно использовать 512 байт беззнаковых поправок, а знак поправок определять из информации о нахождении в той или иной половине квадранта. Для введения поправок потребуется дополнительная процедура сложения полученного кода фазы со знаковым байтом поправки. Это добавит несколько машинных тактов работы процессора интерфейсного блока. Без поправок длительность процедуры интерполяции не превышает четырёх тактов. Общее время формирования текущего значения фазы квадратур в основном определяется длительностью рабочего цикла АЦП.

Интерфейсный блок совместно с линейным энкодером на базе измерительного раstra с периодом следования штрихов, равным 20 мкм, позволяет работать без коррекции методической погрешности, если требуется обеспечить точность позиционирования на уровне 0,1 мкм. Для угловых преобразователей с растрами диаметром 130 мм и числом штрихов 36 000 данный интерфейсный модуль без коррекции методической погрешности обеспечивает точность позиционирования объектов на уровне 0,18". При использовании в составе интерфейсных модулей двенадцатиразрядных АЦП коррекция методической погрешности данного алгоритма позволит снизить погрешность преобразования до значения равного  $2^{-14}$  периода квадратур, что для указанного выше углового преобразователя будет соответствовать величине 0,002".

**Заключение.** Наиболее высокую точность выполнения процедуры интерполяции гарантирует алгоритм прямого вычисления арктангенса квадратур, однако для этого он требует значительного времени. Наиболее высокую скорость определения фазы квадратур обеспечивает алгоритм с табличным вычислением, но для его реализации необходим большой объём оперативной памяти. Компромиссом между высокой точностью вычислений, быстродействием и затратами на реализацию прецизионного алгоритма интерполяции может служить использование алгоритма с селективным суммированием частей квадратур. По точности он незначительно проигрывает алгоритму с прямым вычислением арктангенса, по скорости вычислений сравним с табличным алгоритмом, но существенно выигрывает в реализации аппаратной части оборудования.

## СПИСОК ЛИТЕРАТУРЫ

1. **Прокофьев Г., Стахин В., Обеднин А.** K1382HX045 — микросхема преобразователя фазы квадратурных сигналов в код положения // Современная электроника. 2014. № 6. С. 46–48.
2. **Burke J., Mounihan J. F., Unterkofler K.** Extraction of high resolution position information from sinusoidal encoders // Proc. of the PCIM-2000 Conference Intelligent Motion. Nurnberg, Germany, 2000. P. 217–222.
3. **Renishaw.** Interferometric laser encoders. 2018. URL: <http://www.renishaw.com/en/interferometric-laser-encoders-6404> (дата обращения: 1.10.2018).
4. **Кирьянов В. П.** Метод прямого восстановления фазы квадратурных сигналов и его использование в системах позиционирования с нанометровым разрешением // Автометрия. 1997. № 3. С. 103–110.
5. **ADMC 401.** Single-Chip, DSP-Based, High Performance, Motor Controller, Analog Devices, Inc. Norwood, USA, 1999. 60 p. URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/admc401.pdf> (дата обращения: 1.10.2018).
6. **Hosoe S.** Laser interferometric system for displacement measurement with high precision // Nanotechnology. 1991. 2, N 2. P. 88–95.
7. **MAX 10.** Intel Co. 2018. URL: <https://www.intel.com/content/www/us/en/products/programmable/fpga/max-10/features.html> (дата обращения: 1.10.2018).

*Поступила в редакцию 01.10.2018*

*После доработки 30.11.2018*

*Принята к публикации 04.12.2018*